

HC32F0653

数据手册

32 位 ARM Cortex-M0+ 微控制器

目录

1 产品特性.....	3
2 简介.....	4
3 描述.....	5
4 功能一览.....	6
4.1 集成 FLASH 和 SRAM 的 ARM® Cortex®-M0+微处理器平台	6
4.2 存储器	6
4.3 循环冗余校验计算单元 (CRC)	6
4.4 电源管理	7
4.5 时钟和启动	8
4.6 通用输入输出端口 (GPIO)	9
4.7 嵌套向量中断控制器 (NVIC)	9
4.8 模拟数字转换器 (ADC)	9
4.9 数字模拟转换器 (DAC)	9
4.10 全差分运算放大器 (FDA)	9
4.11 模拟电压比较器 (VC)	10
4.12 定时器和看门狗	10
4.13 I2C 接口 (I2C)	11
4.14 串行接口 (UART)	11
4.15 串行外设接口 (SPI)	12
4.16 串行调试接口 (SWD)	12
5 引脚定义.....	13
5.1 LQFP32 引脚配置	13
5.2 QFN32 引脚配置	14
5.3 TSSOP20 引脚配置	15
5.4 引脚定义描述	16
6 地址镜像.....	18
7 电气特性.....	19
7.1 参数条件	19
7.2 极限参数	19
7.3 工作条件	20
8 封装信息.....	32
8.1 LQFP32	32
8.2 QFN32	33
8.3 TSSOP20	34
9 订货信息.....	35
10 版本记录.....	36

1 产品特性

- 内核: ARM Cortex-M0+
 - 最高主频 48/60MHz
- 工作条件
 - 工作温度范围 -40°C 至 105°C
 - 宽电压 2.2V 至 5.5V
- 存储容量
 - 64K 字节 FLASH, 支持擦写保护和读保护
 - 8K 字节 RAM, 支持奇偶校验
- CRC 硬件计算单元
- ALU 计算单元
 - 32 位有符号数除法器
 - 32 位无符号数开方模块
- 复位和电源管理
 - 低功耗模式 (Sleep, Deep Sleep)
 - 上电和掉电复位 (POR/BOR)
- 时钟管理
 - 内置 48MHz RC 振荡器
 - 内置 32KHz RC 振荡器
 - 允许独立关断各外设时钟
- GPIO
 - 支持最多 30 路 I/O 接口
 - 所有 I/O 口支持中断功能
 - 所有 I/O 口支持输入滤波功能
 - 所有 I/O 口支持数字引脚全映射功能
- 通讯接口
 - 两路 UART, 支持 LIN 和接收缓存
 - 一路 SPI, 支持主从模式
 - 一路 IIC, 支持主从模式
- 定时器
 - 3 个基本 16 位 Timer
 - 1 个通用 16 位 Timer, 支持捕捉和边沿对齐 PWM 功能
 - 16 位高级控制定时器, 支持 6 路捕获 / 比较通道和 6 对互补 PWM 输出, 死区时间和灵活的同步功能
 - 1 个独立看门狗定时器
- 模数转换器
 - 12 位精度, ± 2 LSB
 - 支持差分输入
 - 最高 1.2M SPS 转换速度
 - 30 个外部通道
 - 6 个内部通道
 - 支持 4 通道 4 序列连续转换
 - 多种触发转换方式
- 数模转换器
 - 8 位精度, ± 1 LSB
 - 最高 1MHz 输出码率
- 双路比较器
- 单路可编程运算放大器 (可复用成三路)
- 温度传感器
- 高精度电压基准源
 - 输出电压 1.2V
 - 精度 $\pm 1\%$
- 封装类型
 - TSSOP20
 - LQFP32
 - QFN32

2 简介

本数据手册提供订货信息和 HC32F0653系列MCU的机械电气特性。

本文需要结合 HC32F0653 的用户手册共同阅读。

关于 ARM® Cortex®-M0+ 的相关信息，请参考 www.arm.com 网站上的《Cortex®-M0+ Technical Reference Manual》。

3 描述

HC32F0653 是基于 eFlash 的单芯片微控制器，集成了主频高达 48MHz 的 ARM® Cortex®-M0+ 内核、高速嵌入式存储器（多至 64K 字节 FLASH 和多至 8K 字节 SRAM）以及一系列全面的增强型外设和 I/O 口。

所有型号都提供全套的通信接口（两路 UART、一路 SPI 和一路 I2C）、12 位高速 ADC、两组通用定时器以及一组高级控制 PWM 定时器。

HC32F0653 可以在 -40℃到 105℃的温度范围内工作，供电电压宽达 2.2V~5.5V。支持 Sleep 和 Deep Sleep 两种低功耗工作模式。内部框图如下图所示：

HC32F0653 提供 TSSOP20、LQFP32、QFN32 三种不同的封装形式，不同封装的产品所能实现的功能有所不同，具体情况如下表所示：

表 3-1 HC32F0653 家族产品功能列表

外设		HC32F0653F8	HC32F0653K8
FLASH（K 字节）		64	64
SRAM（K 字节）		8	8
定时器	高级定时器	1	
	通用定时器	1	
	基本定时器	3	
SPI		1	
I2C		1	
UART		2	
12 位 ADC （输入通道数）		1 （18 外 6 内）	1 （30 外 6 内）
8 位 DAC		1	1
FDA		1	1
CMP		2	2
ALU		1	1
GPIO		18	30
内核主频		48MHz	
工作电压		2.2V~5.5V	
工作温度		-40℃~105℃	
封装		TSSOP20	LQFP32、QFN32

4 功能一览

4.1 集成 FLASH 和 SRAM 的 ARM® Cortex®-M0+ 微处理器平台

ARM® Cortex®-M0+ 内核是 ARM® 为小型嵌入式系统开发的最新一代 32 位内核平台，用以实现方便使用的低成本解决方案。该平台在仅需有限的引脚数和功率消耗的同时，给用户出色的性能和快速的中断响应。

ARM® Cortex®-M0+ 32 位精简指令集处理器提供出色的代码效率，在小储存空间的条件下给用户对 ARM 内核所期望的高性能。

HC32F0653 家族产品均采用嵌入式 ARM 内核并保持与所有 ARM 工具和软件的全面兼容。

4.2 存储器

产品包含如下功能：

- 以系统时钟速度对 8K 字节嵌入式 SRAM 的零等待访问。
- 64K 字节嵌入式 FLASH 用于存放用户程序和数据。
- FLASH 存储器擦写以及读保护：通过寄存器进行 FLASH 存储器的擦写保护，通过 ISP 指令进行 4 级读保护等级设置。
 - LEVEL0
无读保护，可通过 SWD 或者 ISP 方式对 FLASH 进行读取操作。
 - LEVEL1
FLASH 读保护，不可通过 SWD 或 ISP 方式读取。可通过 ISP 或者 SWD 接口降低保护等级到 LEVEL0，降级后 FLASH 处于整片擦除状态。
 - LEVEL2
FLASH 读保护，不可通过 SWD 或 ISP 方式读取。可通过 ISP 接口降低保护等级到 LEVEL0，降级后 FLASH 处于整片擦除状态。
 - LEVEL3
FLASH 读保护，不可通过 SWD 或 ISP 方式读取。不支持任何方式的保护等级降级。

4.3 循环冗余校验计算单元（CRC）

CRC 计算单元可按所选择的算法和参数配置来生成数据流的 CRC 码。

有些应用中，可利用 CRC 技术来验证数据的传输和存储的完整性。

产品支持 8 种常用的 CRC 算法，包括：

- CRC16_IBM
- CRC16_MAXIM
- CRC16_USB
- CRC16_MODBUS
- CRC16_CCITT
- CRC16_CCITT_FALSE
- CRC16_X25
- CRC16_XMODEM

4.4 电源管理

4.4.1 电源供电方案

- VDD = 2.2V 到 5.5V
为各数字和模拟电路提供电源，通过 VDD 引脚接入。

4.4.2 电源监控

产品内部集成上电复位（POR）和掉电复位（BOR）电源监控电路，电源上电后始终处于工作状态。POR/BOR 监控 VDD 电源电压，当监测到电源电压低于复位阈值（VPOR/BOR）时，系统会进入复位状态。用户无需额外增加外部硬件复位电路。

4.4.3 电源稳压器

内置稳压器具有“正常”和“低功耗”两种工作模式，并且在复位后一直保持工作。

- “正常”模式：对应全速操作的状态。
- “低功耗”模式：对应部分供电工作状态，包括 Sleep 和 Deep Sleep 工作模式。

4.4.4 低功耗工作模式

HC32F0653 微控制器支持两种低功耗模式。

- Sleep 模式
在 Sleep 模式下，CPU 停止运行，所有外设保持工作，并且可以在发生中断或事件的时候唤醒 CPU。
- Deep Sleep 模式
Deep Sleep 用于实现最低功耗，CPU 停止运行，高速时钟模块（HSIOSC）自动关闭，低速时钟（LSI）保持原状态不变。

当发生外部复位或 IWDG 复位，或部分外设中断发生时，芯片退出 Deep Sleep 模式。

4.5 时钟和启动

MCU 复位后，默认选择 HSI（由内部 HSIOSC= 60/48MHz 振荡器分频产生）作为 SysClk 的时钟源，系统时钟频率默认值是 6MHz。

MCU 允许由应用程序配置 AHB 和 APB 域的频率，AHB 和 APB 域的最大频率为 60MHz。

系统内部时钟树如下图所示：

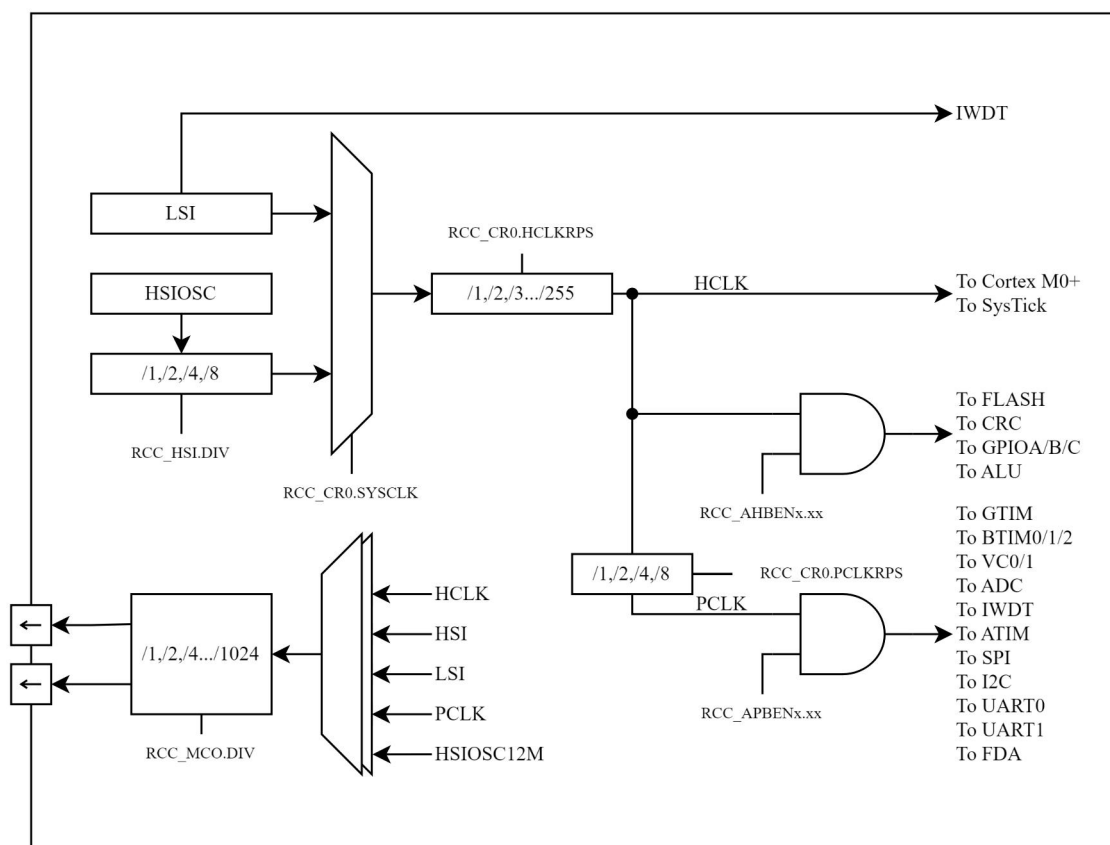


图 4-1 系统内部时钟树

4.6 通用输入输出端口（GPIO）

每个 GPIO 引脚可软件配置为推挽或开漏的数字输出，或带内部上拉或下拉的数字输入，以及外设复用功能。

部分 GPIO 引脚具有模拟功能，与内部模拟外设连接。所有 I/O 可配置为外部中断输入引脚，同时具有数字滤波功能。

I/O 的配置可以锁定，以防止程序误操作，提高安全性。

4.7 嵌套向量中断控制器（NVIC）

微控制器嵌入了一个嵌套向量中断控制器，能够处理多达 32 个可屏蔽外部中断（不包括内核的 16 个中断源），支持可编程 4 级优先级。

- 中断入口向量地址可重映射
- 紧耦合的 NVIC 与内核的接口
- 处理后发的高优先级中断
- 支持尾链处理
- 处理器状态自动保存

此硬件模块提供灵活的中断管理功能，并具有最小的中断延迟。

4.8 模拟数字转换器（ADC）

内部集成一个 12 位精度、最高 1.2M SPS 转换速度的逐次逼近型模数转换器 (SAR ADC)，最多可将 30+6 路模拟信号转换为数字信号。

支持序列扫描功能，支持最多 4 个序列，4 个通道，30+6 个信号来源。

模拟看门狗功能可以精确地监控多个选定通道的转换电压。当转换电压位于所设定的阈值范围时会产生中断。

4.9 数字模拟转换器（DAC）

内部集成一个 8 位精度、最高 1MHz 输出码率的 DAC，信号量程为 1.2V/4.8V。

4.10 全差分运算放大器（FDA）

芯片集成 1 路输入输出轨到轨全差分运算放大器（FDA），内置反馈电阻，外部引脚上需串联一个电阻到信号源。反馈电阻的阻值可通过寄存器设置，以实现不同的放大倍数。输出可连接到内部 ADC。

4.11 模拟电压比较器（VC）

内部集成 2 个模拟电压比较器（VC），用于比较两路模拟输入电压，并将比较结果从引脚输出。电压比较器的正负端既支持 4 路外部模拟输入，又支持内部 1/3 VDD、DAC，内部温度传感器等电压参考。比较结果输出具有滤波功能、迟滞窗口功能，BLANK 窗口功能，以及极性选择。支持比较中断，可用于低功耗模式下唤醒 MCU。

- 双路的模拟电压比较器 VC0、VC1
- 多达 5 路外部模拟信号输入
- 7 路片内模拟输入信号
 - DAC 输出电压
 - 内置温度传感器输出电压
 - 1/3 VDD
 - 1.2V 内核电压基准源
 - VCx_MID
- 可选择输出极性
- 支持迟滞窗口比较功能
- 可编程的滤波器和滤波时间
- BLANK 窗口功能
- 3 种中断触发方式，可组合使用
 - 高电平触发
 - 上升沿触发
 - 下降沿触发
- 支持低功耗模式下运行，中断唤醒 MCU

4.12 定时器和看门狗

微控制器内部集成一个通用定时器、三个基本定时器和一个高级控制定时器。
各个定时器的功能差异如下表所示：

表 4-1 定时器功能比较

定时器类型	定时器	计数器位宽	计数方式	分频因子	捕获/比较	互补输出
					通道	
高级定时器	ATIM	16 位	上/下/上下	1,2,3,4,...,65536	6	6
通用定时器	GTIM	16 位	上/下/上下	1,2,3,4,...,65536	4	0
基本定时器	BTIM0	16 位	上	1,2,3,4,...,65536	0	1
	BTIM1	16 位	上	1,2,3,4,...,65536	0	1
	BTIM2	16 位	上	1,2,3,4,...,65536	0	1

4.12.1 高级定时器（ATIM）

高级定时器 (ATIM)包含复位、门控、触发和编码器等多种工作模式，带 6 路独立的捕获 / 比较通道，可实现 6 路独立 PWM 输出或一个 16bit 自动重装载计数器，并由一个可编程的预分频器驱动。ATIM 支持定时、计数、6 对带死区互补 PWM 输出或对 6 路输入进行捕获。可用于基本的定时 / 计数、测量输入信号的脉冲宽度和周期、产生输出波形（PWM、单脉冲、插入死区时间的互补 PWM 等）。

4.12.2 通用定时器 (GTIM)

通用定时器 (GTIM) 包含复位、门控、触发和编码器等多种工作模式，带 4 路独立的捕获 / 比较通道，可以测量输入信号的脉冲宽度（输入一个 16bit 自动重载计数器，并由一个可编程预分频器驱动）。GTIM 支持定时、计数、输入捕获）或者产生输出波形（输出比较和 PWM）。

4.12.3 基本定时器 (BTIM0..2)

内部集成 3 个基本定时器 (BTIM)，每个 BTIM 完全独立且功能完全相同，各包含一个 16bit 自动重载计数器并由一个可编程预分频器驱动。BTIM 支持内部计数模式、外部计数模式、触发启动模式和门控计数模式 4 种工作模式，支持更新事件和触发事件发生时产生中断。不同工作模式下均可由复位输入信号控制计数器复位。

4.12.4 独立看门狗 (IWDG)

内部集成独立看门狗定时器 (IWDG)，一旦启动 IWDG，用户需要在规定时间间隔内对 IWDG 的计数器进行重载，否则产生溢出会触发复位或产生中断信号。IWDG 启动后，可停止计数。用户可选择在深度休眠模式下 IWDG 保持运行或暂停计数。

专门设置的键值寄存器可以锁定 IWDG 的关键寄存器，防止寄存器被意外修改。

4.12.5 SysTick 定时器

此定时器常用于实时操作系统，但也可用作标准递减计数器。它的特点是：

- 24 位递减计数器
- 自动重载能力
- 当计数器达到 0 时产生可屏蔽的系统中断

4.13 I2C 接口 (I2C)

I2C 控制器能按照设定的传输速率将需要发送的数据按照 I2C 规范串行发送到 I2C 总线上，同时对通信过程中的状态进行检测，支持多主机通信的总线冲突和仲裁处理。

I2C 控制器的主要特性有：

- 支持主机发送 / 接收，从机发送 / 接收四种工作模式
- 支持时钟延展（时钟同步）和多主机通信冲突仲裁
- 支持标准 (100Kbps)/ 快速 (400Kbps)/ 高速 (1Mbps) 三种工作速率
- 支持 7bit 寻址功能
- 支持 3 个从机地址
- 支持广播地址
- 支持输入信号噪声过滤功能
- 支持中断状态查询功能

4.14 串行接口 (UART)

内部集成 2 个通用异步收发器 (UART)，支持异步全双工、同步半双工、同步全双工和单线半双工模式，支持多机通信；可编程数据帧结构，可以通过小数波特率发生器提供宽范围的波特率选择。

- 可编程数据帧结构
 - 数据字长：8、9 位，LSB / MSB 可选
 - 校验位：无校验、奇校验、偶校验

- 停止位长度：1、1.5、2 位
- 16 位整数、4 位小数波特率发生器
- 可配置为 16 倍，8 倍和 4 倍过采样
- 支持异步全双工、同步半双工、单线半双工、同步全双工
- 支持多机通信，自动地址识别
- 支持 LIN 模式
- 10 个带中断标志的中断源
- 错误检测：奇偶校验错误、帧结构错误

4.15 串行外设接口（SPI）

内部集成 1 个串行外设 SPI 接口，支持双向全双工、单线半双工和单工通信模式，可配置 MCU 作为主机或从机，支持多主机通信模式。

- 支持主机模式、从机模式
- 支持全双工、单线半双工、单工
- 可选的 8 位或 16 位数据帧宽度
- 支持收发数据 LSB 或 MSB 在前
- 可编程时钟极性和时钟相位
- 主机模式下通信速率高达 PCLK/8
- 从机模式下通信速率高达 PCLK/8
- 支持多机通信模式
- 8 个带标志位的中断源
- 支持 NSS 脉冲模式

4.16 串行调试接口（SWD）

提供一个 ARM 试和仿真。SWD 接口，用户可使用 DAPLINK 连接到 MCU，在 IDE 开发环境中进行调试。

5 引脚定义

5.1 LQFP32 引脚配置

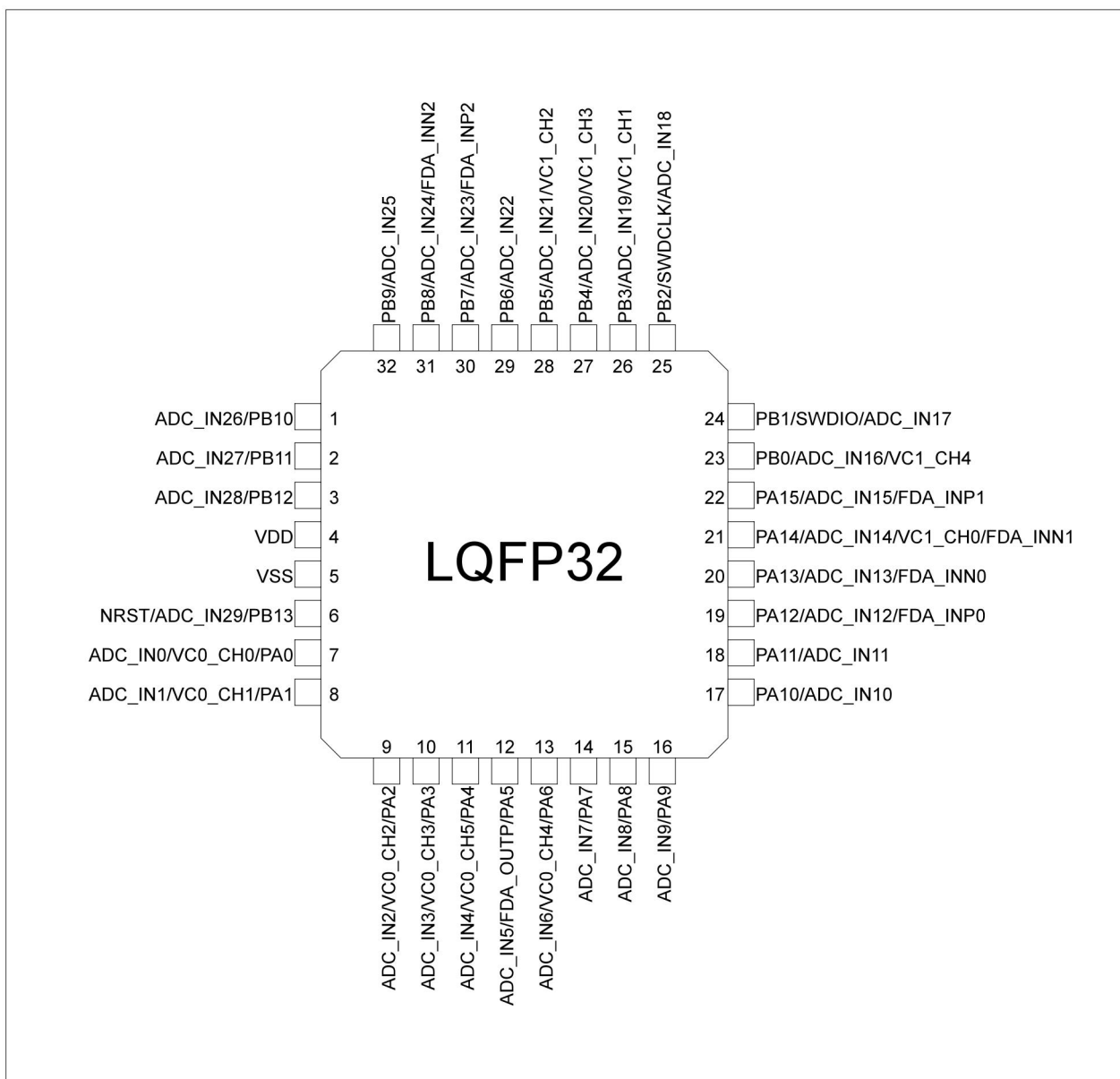


图 5-1 LQFP32 封装引脚图（顶视图）

5.2 QFN32 引脚配置

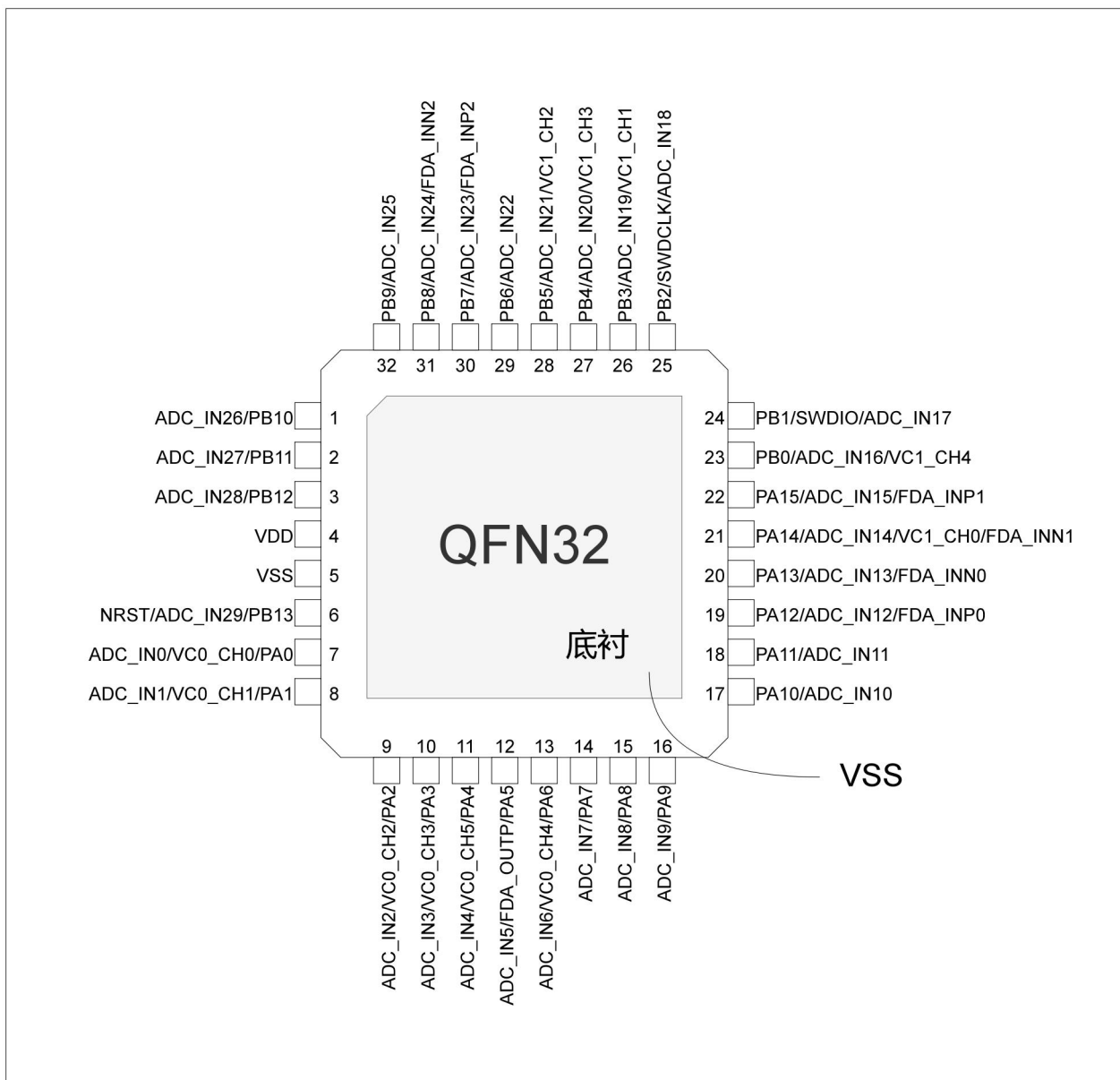


图 5-2 QFN32 封装引脚图（顶视图）

5.3 TSSOP20 引脚配置

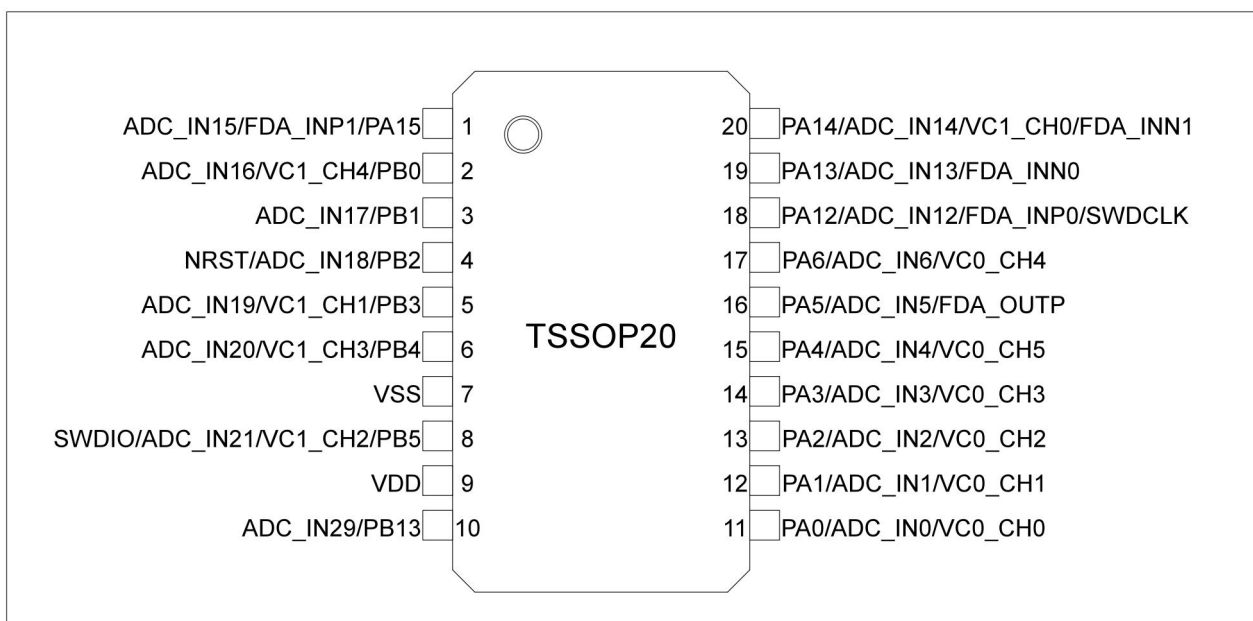


图 5-3 TSSOP20 封装引脚图（顶视图）

5.4 引脚定义描述

表 5-1 引脚定义表中的项目说明和缩写

名称	缩写	定义
引脚名	除非有特别说明，在复位后引脚的默认功能和引脚名相同	
引脚类型	S	电源引脚
	I	输入引脚
	I/O	输入/输出引脚
I/O 架构	TTa	连接模拟功能的 I/O 口
	RST	复位输入引脚
备注	除非有特别说明，在复位后所有引脚处于高阻输入状态	
附加功能	数字功能	功能由 GPIO_XXX_MAP 寄存器的值决定
	模拟功能	功能直接由外设寄存器决定

表 5-2 HC32F0653 引脚定义

编号			引脚名称 (复位后的默认功能)	引脚类型	I/O 结构	备注	模拟功能
LQFP32	QFN32	TSSOP20					
1	1	-	PB10	I/O	TTa	-	ADC_IN26
2	2	-	PB11	I/O	TTa	-	ADC_IN27
3	3	-	PB12	I/O	TTa	-	ADC_IN28
4	4	9	VDD	S	-	-	-
5	5	7	VSS	S	-	-	-
6	6	10	PB13	I/O	TTa	NRST	ADC_IN29
7	7	11	PA0	I/O	TTa	-	ADC_IN0 VC0_CH0 DAC_OUTP VREF
8	8	12	PA1	I/O	TTa	-	ADC_IN1 VC0_CH1
9	9	13	PA2	I/O	TTa	-	ADC_IN2 VC0_CH2
10	10	14	PA3	I/O	TTa	-	ADC_IN3 VC0_CH3
11	11	15	PA4	I/O	TTa	-	ADC_IN4 VC0_CH5
12	12	16	PA5	I/O	TTa	-	ADC_IN5 FDA_OUTP
13	13	17	PA6	I/O	TTa	-	ADC_IN6 VC0_CH4
14	14	-	PA7	I/O	TTa	-	ADC_IN7
15	15	-	PA8	I/O	TTa	-	ADC_IN8

编号			引脚名称 (复位后的默认功能)	引脚类型	I/O结构	备注	模拟功能
LQFP32	QFN32	TSSOP20					
16	16	-	PA9	I/O	TTa	-	ADC_IN9
17	17	-	PA10	I/O	TTa	-	ADC_IN10
18	18	-	PA11	I/O	TTa	-	ADC_IN11
19	19	18	PA12	I/O	TTa	-	ADC_IN12 FDA_INP0
20	20	19	PA13	I/O	TTa	-	ADC_IN13 FDA_INN0
21	21	20	PA14	I/O	TTa	大电流	ADC_IN14 VC1_CH0 FDA_INN1
22	22	1	PA15	I/O	TTa	大电流	ADC_IN15 FDA_INP1
23	23	2	PB0	I/O	TTa	-	ADC_IN16 VC1_CH4
24	24	3	PB1	I/O	TTa	-	ADC_IN17
25	25	4	PB2	I/O	TTa	-	ADC_IN18
26	26	5	PB3	I/O	TTa	-	ADC_IN19 VC1_CH1
27	27	6	PB4	I/O	TTa	-	ADC_IN20 VC1_CH3
28	28	8	PB5	I/O	TTa	-	ADC_IN21 VC1_CH2
29	29	-	PB6	I/O	TTa	-	ADC_IN22
30	30	-	PB7	I/O	TTa	-	ADC_IN23 FDA_INP2
31	31	-	PB8	I/O	TTa	-	ADC_IN24 FDA_INN2
32	32	-	PB9	I/O	TTa	-	ADC_IN25

6 地址镜像

片上存储器及各外设的详细起始地址空间分配，如下表所示：

表 6-1 存储器和外设地址分配

设备或总线	边界地址	大小	对应外设
主 FLASH 存储器	0x0000 0000 - 0x0000 FFFF	68KB	主 FLASH
用户配置字	0x1FFF F800 - 0x1FFF F9FF	512B	OPTION
FT 测试信息	0x1FFF FA00 - 0x1FFF FBFF	512B	FT
CP 测试信息	0x1FFF FC00 - 0x1FFF FDFD	512B	CP
华虹测试用	0x1FFF FE00 - 0x1FFF FFFF	512B	HH
SRAM 存储器	0x2000 0000 - 0x2000 1FFF	8KB	SRAM
AHB 外设	0x4000 0000 - 0x4000 03FF	1KB	FLASH CTRL
	0x4000 0400 - 0x4000 07FF	1KB	SRAM CTRL
	0x4000 0800 - 0x4000 0BFF	1KB	RCC
	0x4000 0C00 - 0x4000 0FFF	1KB	SYSCTRL
	0x4000 1000 - 0x4000 13FF	1KB	CRC
	0x4000 1400 - 0x4000 17FF	1KB	ALU
	0x4000 2000 - 0x4000 23FF	1KB	GPIOA
	0x4000 2400 - 0x4000 27FF	1KB	GPIOB
	0x4000 2C00 - 0x4000 2FFF	1KB	GPIO MAP
APB 外设	0x4001 0000 - 0x4001 03FF	1KB	ATIM
	0x4001 0400 - 0x4001 07FF	1KB	GTIM
	0x4001 0800 - 0x4001 0BFF	1KB	BTIM0
	0x4001 0C00 - 0x4001 0FFF	1KB	BTIM1
	0x4001 1000 - 0x4001 13FF	1KB	IWDT
	0x4001 1400 - 0x4001 17FF	1KB	UART0
	0x4001 1800 - 0x4001 1BFF	1KB	UART1
	0x4001 1C00 - 0x4001 1FFF	1KB	I2C
	0x4001 2000 - 0x4001 23FF	1KB	SPI
	0x4001 2400 - 0x4001 27FF	1KB	VC0
	0x4001 2800 - 0x4001 2BFF	1KB	VC1
	0x4001 2C00 - 0x4001 2FFF	1KB	FDA
	0x4001 3000 - 0x4001 33FF	1KB	DAC
	0x4001 3400 - 0x4001 37FF	1KB	ADC
	0x4001 3800 - 0x4001 3BFF	1KB	BTIM2
M0+ 外设	0xE000 0000 - 0xE00F FFFF	1MB	M0+ 内核外设

7 电气特性

7.1 参数条件

除非特别说明，所有的电压值都指相对于 VSS。

7.2 极限参数

超过表 7-1、表 7-2 和表 7-3 所列的极限值范围可能会对芯片造成永久性的破坏。芯片不一定能在这些极限值条件下正常工作。长时间处于最大额定条件下可能会影响芯片的可靠性。

表 7-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外供主电源电压 ¹	-0.3	6.0	V
V_{IN}^2	IO 口输入电压	$V_{SS} - 0.3$	$V_{DD} + 0.3$	V

注 1：所有的电源和地引脚必须一直接在外接电源上，并保持在许可范围。

注 2： V_{IN} 的最大值是不能超过的，同时参见表 7-2 的最大允许注入电流值。

表 7-2 电流特性

符号	描述	最大值	单位
$\sum I_{VDD}$	VDD 供电线的灌电流总和（流入） ¹	120	mA
$\sum I_{VSS}$	VSS 供电线的拉电流总和（流出） ¹	-120	
$I_{IO(PIN)}$	单个 I/O 或控制引脚灌入的电流	+15	
	单个 I/O 或控制引脚输出的电流	-15	
$\sum I_{IO(PIN)}$	全部 I/O 或控制引脚灌入的电流总和	+80	
	全部 I/O 或控制引脚输出的电流总和	-80	

注 1：所有的电源和地引脚必须一直接在外接电源上，并保持在许可范围。

注 2：反向注入电流会干扰器件的模拟性能。

表 7-3 温度特性

符号	描述	值	单位
T_{STG}	储存温度范围	-65 至 150	°C
T_J	最大结温	125	

7.3 工作条件

7.3.1 一般工作条件

表 7-4 一般工作条件

符号	参数	条件	最小值	最大值	单位
f_{hCLK}	内部 AHB 总线频率	$V_{DD} \geq 2.2V$	0	60	MHz
f_{pCLK}	内部 APB 总线频率	$V_{DD} \geq 2.2V$	0	60	
V_{DD}	标准工作电压	-	2.2	5.5	V
V_{IN}	I/O 输入电压	TTa I/O	-0.3	$V_{DD} + 0.3$	V

7.3.2 上电、掉电时的工作条件

下表中给出的参数是在表 7-4 一般工作条件列出的工作条件下测试得到

表 7-5 上电/掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	-	0	∞	$\mu s/V$
	V_{DD} 下降速率		10	∞	

7.3.3 内置复位和电源控制电路特性

下表中给出的参数是在表 7-4 一般工作条件列出的工作条件下测试得到的。

表 7-6 内置复位和电源控制电路特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{RSTTEMPO}$	复位持续时间	-	-	270	500	μS
V_{POR}	上电复位阈值	-	1.9	1.95	2	V
V_{PDR}	下电复位阈值	-	1.85	1.9	1.95	V
V_{BOR1}	上电 / 掉电复位阈值	上升沿	2.05	2.10	2.18	V
		下降沿	1.95	2.00	2.08	
$V_{hyst_POR_PDR}$	POR / PDR 迟滞	-	-	50	-	mV
V_{hyst_BOR}	BOR 迟滞	-	-	100	-	mV
$I_{DD(BOR)}$	BOR 功耗	-	-	5	6	μA

7.3.4 内部电压参考

表 7-7 内部电压参考

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部 1.2V 参考电压	$-40^{\circ}\text{C} < T_a < +105^{\circ}\text{C}$	1.18	1.2	1.22	V
$t_{S_vrefint}$	读取内参考电压时的 ADC 采样时间	-	4 ¹	-	-	μS
$t_{start_vrefint}$	当启用 ADC 时, V_{REFINT} 的启动时间	-	-	8	12 ¹	μS
$I_{DD}(VREFINTBUF)$	ADC 采样时使用 VDD 电压做参考的功耗	-	-	12.5	20 ¹	μA
ΔV_{refint}	全温度范围内的内部参考电压分布	$V_{DD} = 3.3\text{V}$	-	5	7.5 ¹	mV
T_{Coff}	温度系数	-	-20 ¹	-	+20 ¹	ppm/ $^{\circ}\text{C}$

注 1: 由设计保证, 不在生产中测试。

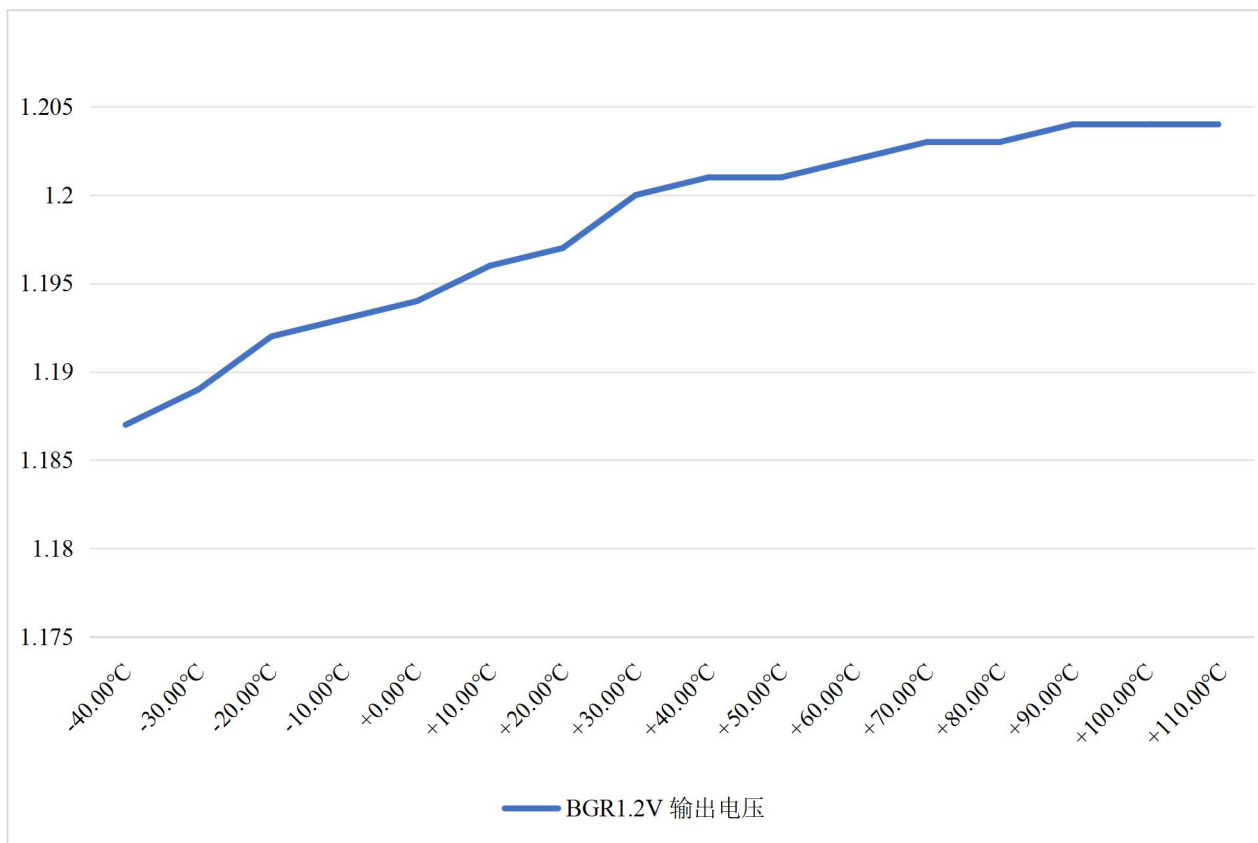


图 7-1 BGR1.2V 输出电压温度特性

7.3.5 供电电流特性

电流消耗是受多种因素影响的，例如：工作电压、环境温度、I/O 引脚负载、软件程序配置、工作频率、I/O 口开关速率、以及程序运行时取指令的存储位置等等。

所有运行模式的电流消耗测量结果，均基于测试 CoreMark 时相同的有限代码。

7.3.5.1 典型和最大电流消耗

MCU 处于如下测试条件：

- 全部 I/O 口处于模拟输入状态
- 全部外设除了特定提醒的部分，都处于关闭状态
- FLASH 的访问速度调整到 f_{HCLK} 频率
 - 0~24MHz 时不插入等待位
 - 超过 24MHz 时插入 1 个等待位
 - 超过 48MHz 时插入 2 个等待位
- 当外设使能时 $f_{PCLK} = f_{HCLK}$

表 7-8 到表 7-9 中给出的数据源自备注的环境温度和供电电压下的测试，测试条件详见表 7-4 一般工作条件。

表 7-8 VDD = 5.5V 时的典型及最大电流消耗

符号	参数	条件	f_{HCLK}	全部外设打开		全部外设关闭		单位
				典型值	最大值 ¹	典型值	最大值 ¹	
					Ta=105℃		Ta=105℃	
I_{DD}	运行模式的供电电流（代码自 FLASH 中运行）	HSI 时钟	48MHz	5.6	5.41	3.6	3.37	mA
			24MHz	3	2.99	2	1.97	
			12MHz	2.2	1.75	1.3	1.3	
			8MHz	1.3	1.33	1	1	
			4MHz	0.9	0.87	0.7	0.69	
I_{DD}	运行模式的供电电流（代码自 RAM 中运行）	HSI 时钟	48MHz	5.0	5.0	2.6	2.6	
			24MHz	2.1	2.1	1.3	1.3	
			8MHz	0.7	0.7	0.54	0.54	
			4MHz	0.45	0.45	0.21	0.21	
I_{DD}	Sleep 模式的供电电流（代码自 FLASH 或 RAM 中运行）	HSI 时钟	48MHz	2.1	3.1	1.17	1.15	
			24MHz	1.8	1.76	0.80	0.80	
			8MHz	0.87	1.07	0.54	0.53	
			4MHz	0.64	0.62	0.47	0.46	
I_{DD}	运行模式的供电电流（代码自 FLASH 中运行）	LSI 时钟	32KHZ	0.137	-	0.136	-	

注 1：数据基于表征结果，除非另有说明，否则未经生产测试。

表 7-9 Deep Sleep 时的典型及最大电流消耗

符号	参数	条件	典型值@V _{DD} (V _{DD})	最大值 ¹	单位
			5V	T _A =105°C	
I _{DD}	Deep Sleep 模式供电电流	稳压器处于低功耗模式，全部振荡器关闭	7	40	μA
		稳压器处于运行模式，LSI 和 IWDI 打开	14	41	

注 1：数据基于表征结果，除非另有说明，否则未经生产测试。

7.3.6 低功耗模式及其唤醒时间

下表给出的唤醒时间是在 HSIOSC 的唤醒阶段测试得到的。

从 Sleep 模式唤醒后，SYSCLK 时钟源设置保持不变。从 Deep Sleep 模式唤醒期间，SYSCLK 采用默认设置：HSI 6MHz。

所有测试环境均来自表 7-4 一般工作条件中总结的环境温度和电源电压条件。

表 7-10 低功耗模式唤醒时间

符号	参数	条件	典型值	最大值	单位
tWUSLEEP	从 SLEEP 模式唤醒	HCLK = HSI48/8 = 6 MHz	10	12	HCLK
tWUDEEPSLEEP	从 DEEPSLEEP 模式唤醒	唤醒后的时钟为 HCLK = HSI48/8 = 6 MHz	1.2	2	μs

7.3.7 内部时钟源特性

以下列表给出的测试数据基于表 7-4 一般工作条件提示的测试环境抽样测试。

7.3.7.1 高速内部（HSIOSC）RC 振荡器

表 7-11 HSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	48	-	MHz
T_{RIM}	HSI 用户修正步长	-	-	0.4	-	%
Duty_{HSI}	占空比	-	45	-	55	%
ACC_{HSI}	HSI 工厂校准精度	$T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$	-2	-	2	%
		$T_A = +25^{\circ}\text{C}$	-0.5	-	0.5	%
$t_{\text{SU}}(\text{HSI})$	HSI 振荡器建立时间	-	3	-	5	μs
$I_{\text{DDA}}(\text{HSI})$	HSI 振荡器电流消耗	-	-	600	-	μA

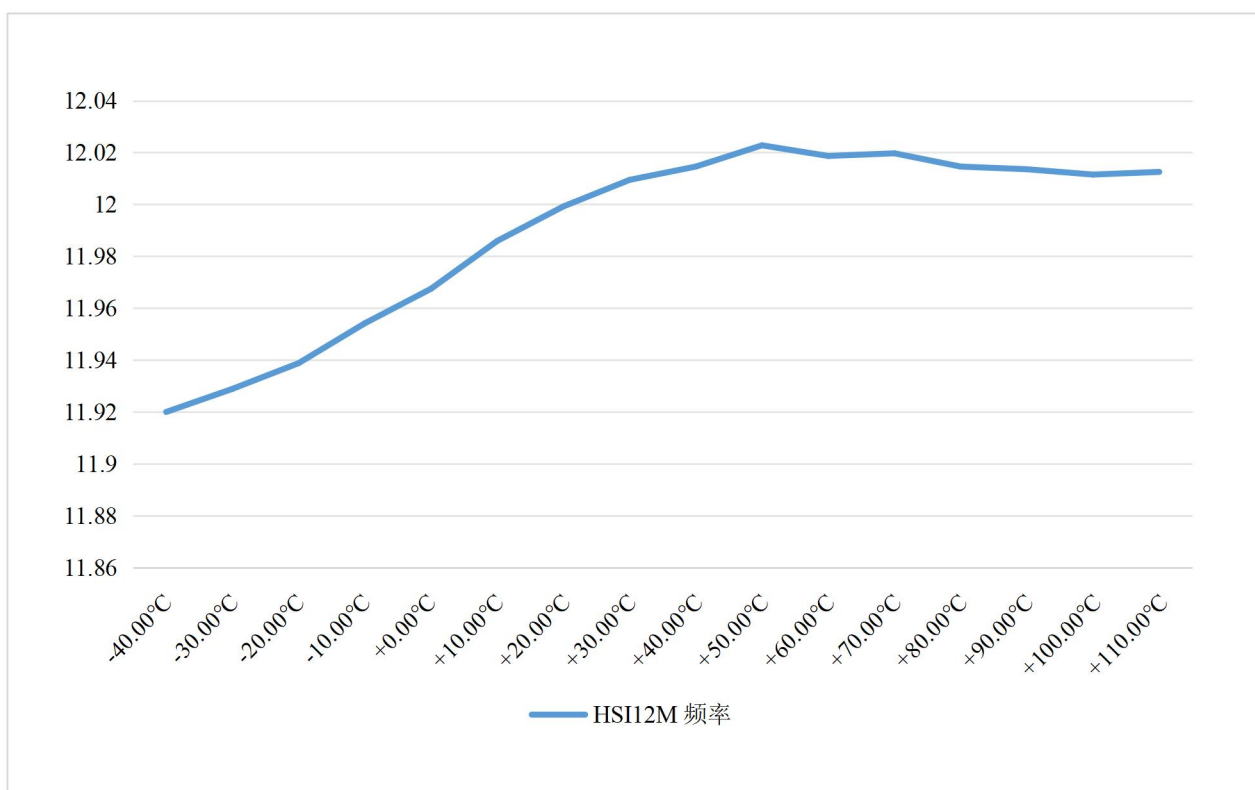


图 7-2 HSI12M 输出频率温度特性

7.3.7.2 低速内部（LSI）RC 振荡器

表 7-12 LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率	-	-	32	-	KHz
$t_{\text{SU}}(\text{LSI})$	LSI 振荡器建立时间	-	-	-	50	μs
$I_{\text{DDA}}(\text{LSI})$	LSI 振荡器电流消耗	-	-	1	-	μA

7.3.8 存储器特性

未特别说明的情况下，下列数据针对 -40°C ~ +105°C 测试环境。

表 7-13 FLASH 存储器特性

符号	参数	条件	最小值	典型值	最大值 ¹	单位
t _{prog8}	8 位编程时间	TA=-40°C~+105°C	-	31	-	μs
t _{prog16}	16 位编程时间	TA=-40°C~+105°C	-	39	-	μs
t _{prog32}	32 位编程时间	TA=-40°C~+105°C	-	55	-	μs
t _{ERASE}	页擦除时间	TA=-40°C~+105°C	-	2.5	-	ms
t _{ME}	整片擦除时间	TA=-40°C~+105°C	-	35	-	ms
I _{DD}	供电电流	写模式	-	-	3.5	mA
		擦除模式	-	-	2	mA

表 7-14 FLASH 存储器寿命和数据保存期限

符号	参数	条件	最小值 ¹	单位
N _{NED}	寿命	TA=-40°C~+105°C	100000	次
t _{RET}	数据保存期限	TA=-40°C~+105°C	25	年

注 1：由设计保障，非量产实测。

7.3.9 ESD 特性

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

表 7-15 ESD 特性

符号	参数	条件	典型值	最大值	单位
VESD(HBM)	静电放电电压(人体模型)	TA = +25 °C , 符合 JESD22-A115C	-	4	kV

7.3.10 LU 特性

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

表 7-16 LU 特性

项目	最小	最大	单位
Latch-up 电流(25°C)	-200	200	mA

7.3.11 I/O 口特性

7.3.11.1 通用输入输出特性

无特别声明的情况下，下表给出的测试数据基于表 7-4 一般工作条件提示的测试环境。
全部的 I/O 口按 CMOS 兼容的方式设计。

表 7-17 I/O 静态特性

符号	范围	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	TC 和 TTa I/O	-	-	$0.3V_{DD}$	V
V_{IH}	高电平输入电压	TC 和 TTa I/O	$0.7V_{DD}$	-	-	V
V_{hys}	施密特触发迟滞	TC 和 TTa I/O	-	400	-	mV
I_{ikg}	输入漏电流	TC 和 TTa I/O 数字模式	-	-	± 0.1	μA
		TTa I/O 数字模式	-	-	1	
		TTa I/O 模拟模式	-	-	± 0.2	
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	25	40	55	$k\Omega$
R_{PD}	弱下拉等效电阻	$V_{IN}=V_{DD}$	25	40	55	$k\Omega$
C_{IO}	I/O 引脚电容	-	-	5	-	pF

7.3.11.2 输出驱动能力

GPIO 的引脚可以灌入或拉出多达 $\pm 15mA$ 的电流，对输出的 V_{OH} 和 V_{OL} 要求不严格的时候可以多达 $\pm 20mA$ 。

7.3.11.3 输入/输出交流特性

表 7-18 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$f_{max}(IO)_{out}$	最大频率	$CL=50pF, V_{DD} \geq 2.4V$	-	10	MHz
$t_f(IO)_{out}$	输出下降沿时间		-	25	ns
$t_r(IO)_{out}$	输出上升沿时间		-	25	

7.3.12 NRST 引脚特性

表 7-19 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(NRST)$	NRST 输入低电平电压	-	-	-	$0.3V_{DD}$	V
$V_{IH}(NRST)$	NRST 输入高电平电压	-	$0.7V_{DD}$	-	-	-
$V_{hys}(NRST)$	NRST 输入迟滞电压	-	-	200	-	mV
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	-	40	-	$k\Omega$
$V_F(NRST)$	要求的最短复位脉冲宽度	-	20	-	-	μs

7.3.13 ADC 特性

无特别声明的情况下，下表给出的测试数据基于表 7-4 一般工作条件的测试环境。

表 7-20 ADC 特性

参数	最小	典型	最大	单位	说明
工作电压	2.8	5	5.5	V	
输出码率	-	1.2	-	MSPS	
差分输入信号范围	-2.4		2.4	V	Gain=1 时; REF=2.4V
	-3.6		3.6	V	Gain=2/3 时; REF=3.6V
单端输入信号范围	-0.3		VDD+0.5	V	受限于 IO 口输入电压限制
直流失调(offset)	-	5	10	mV	直流失调可校正为 0mV
有效位数(ENOB)	10.5	11	-	bit	
INL	-	2	3	LSB	
DNL	-	1	2	LSB	
SNR	63	66	-	dB	
输入电阻	500k		-	Ohm	
输入电容		10pF	-	F	

7.3.14 温度传感器特性

表 7-21 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L	VSENSE 随温度线性度	-	± 2	± 5	$^{\circ}\text{C}$
Avg_Slope	平均斜率	2.66	2.69	2.72	mV/ $^{\circ}\text{C}$
V_{25}	25 $^{\circ}\text{C}$ 对应电压 ($\pm 5^{\circ}\text{C}$)	0.77	0.79	0.8	V
t_{START}	TS 内置温度传感器跟随器建立时间	-	-	45	μs
$t_{\text{S_temp}}$	读取温度时的 ADC 采样时间	5	-	-	μs

7.3.15 DAC 特性

表 7-22 DAC 特性

参数	最小	典型	最大	单位
工作电压	2.5	5	5.5	V
负载电阻	50k	-		Ohm
负载电容	-	-	50	pF
输出电压范围	0.05	-	4.8	V
转换速度	-	-	1M	Hz
DNL	-	1	2	LSB
INL	-	2	4	LSB
OFFSET	-	5	10	mV
SNR	57	60	66	dB

7.3.16 FDA 特性

表 7-23FDA 特性

参数	最小	典型	最大	单位	说明
工作电压	3.1	5	5.5	V	
带宽		10M	20M	Hz	
负载电阻	20k	-		Ohm	
负载电容	-	-	5p	F	
输入共模范围	0	-	VDD	V	
输出信号范围	0	-	2*Vcm	V	最小负载电阻下
OFFSET	-	10	15	mV	此 OFFSET 为 OPA 差分输入短接时，测量 OPA_OUT 偏离 0 电平，得到的等效差分输入端偏差。 OPA 输出端偏差为 OPA 放大倍数 x OFFSET
共模电平(Vcm)	1.65		2.15	V	测量条件：常温。 运放摆幅=2×min(VDD-Vcm,Vcm)。
共模抑制 (CMRR)	-	80	-	dB	
电源抑制 (PSRR)	-	80	-	dB	
负载电流	-		500	uA	
摆率(Slew rate)	-	5	-	V/us	
相位裕度	-	60	-	度	

7.3.17 模拟电压比较器特性

表 7-24 模拟电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	供电电压	-	2.2	-	5.5	V
V_{IN}	比较器输入电压范围	-	0	-	VDD	V
t_{START}	比较器启动时间	低速	-	1	2	μS
		高速	-	0.1	0.25	
t_D	比较器延迟时间	低速	-	1	2	
		高速	-	0.2	0.5	
V_{offset}	比较器偏移误差	-	-	± 3	± 10	mV
$dThreshold/dt$	阈值电压温度系数	VDD=3.3V,	-	40	80	ppm/°C
		-40°C<TA<+105°C				
		$V_-= (n/64) \times V_{ref}$				
$I_{DD(VC)}$	比较器电流消耗	低速	-	1	1.2	μA
		高速	-	16	20	
V_{hys}	比较器迟滞	无迟滞 (VCx_CR0.HYS=00)	-	0	-	mV
		低迟滞 (VCx_CR0.HYS=01)	-	10	-	

8 封装信息

8.1 LQFP32

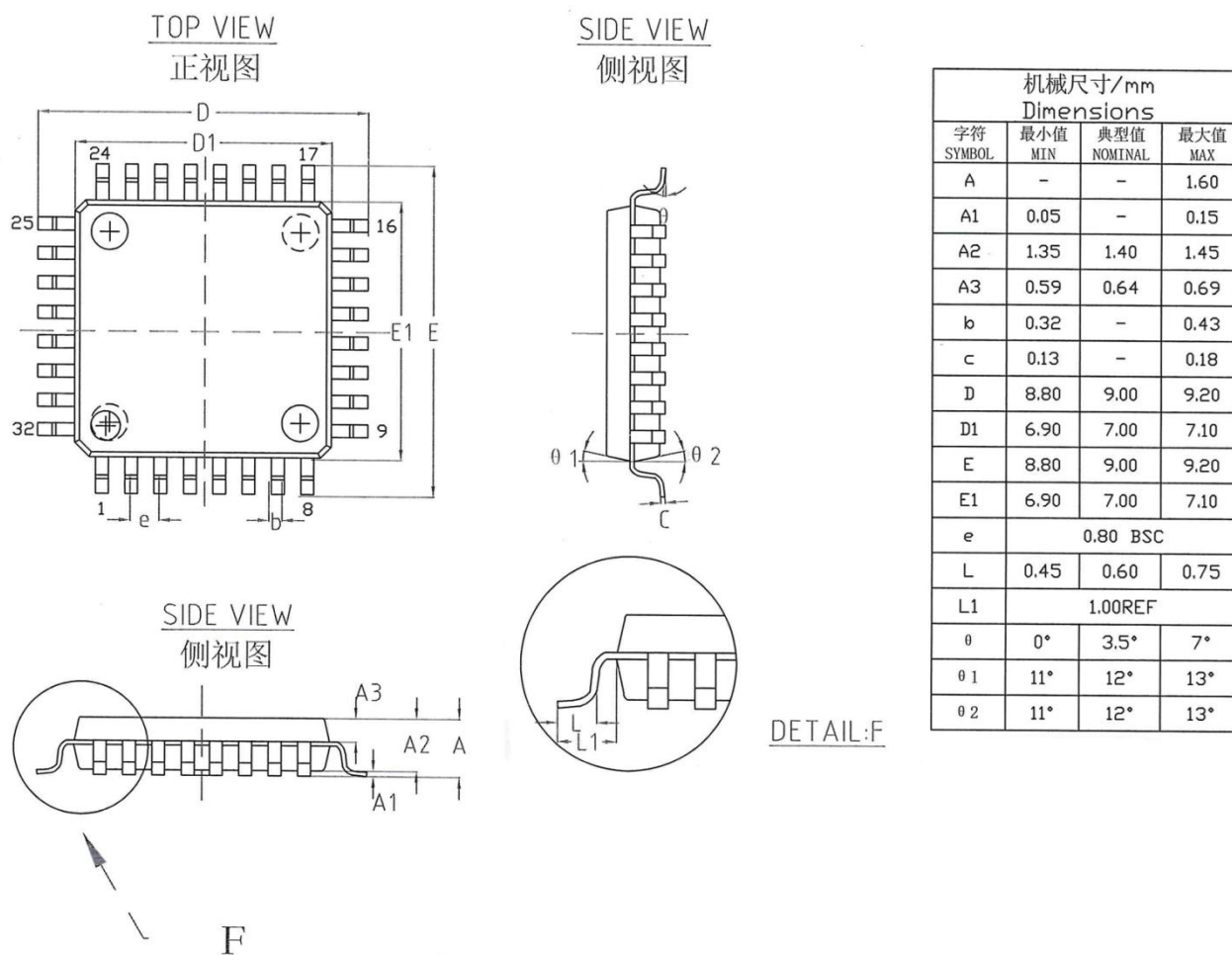


图 8-1 LQFP32 封装尺寸

8.2 QFN32

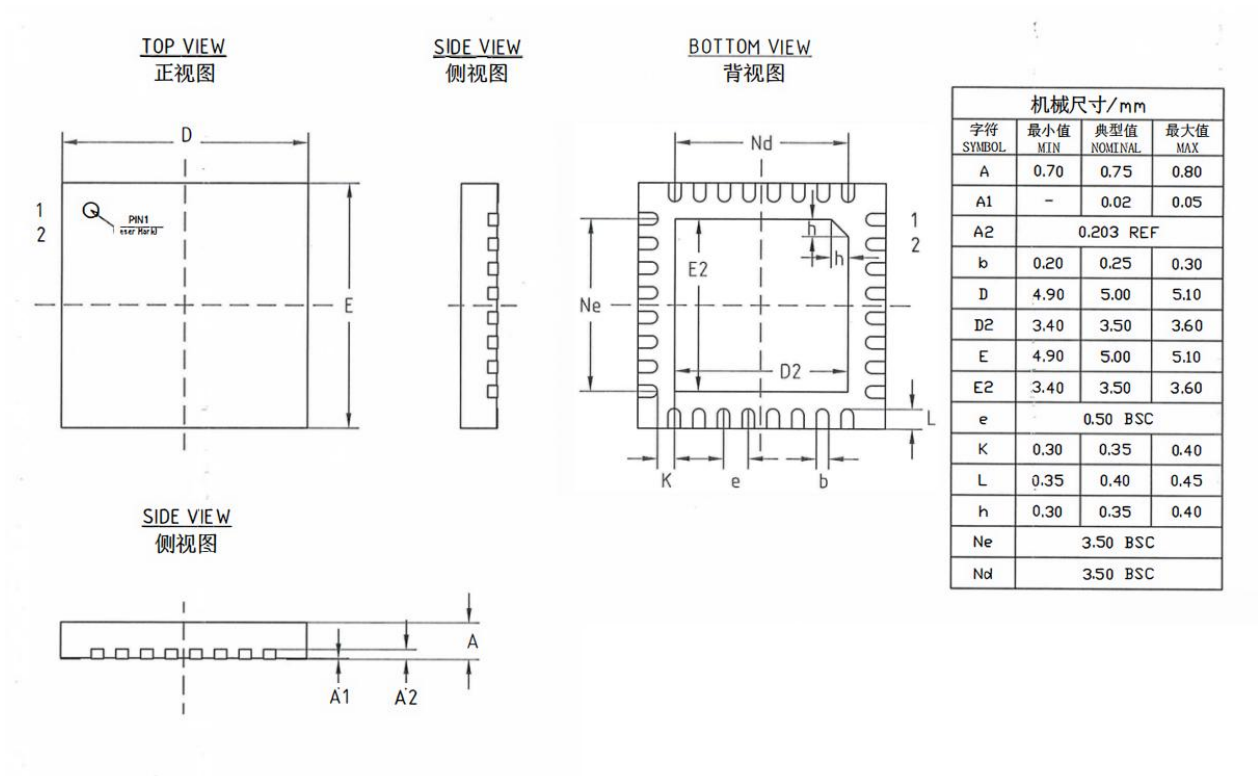


图 8-2 QFN32 封装尺寸

8.3 TSSOP20

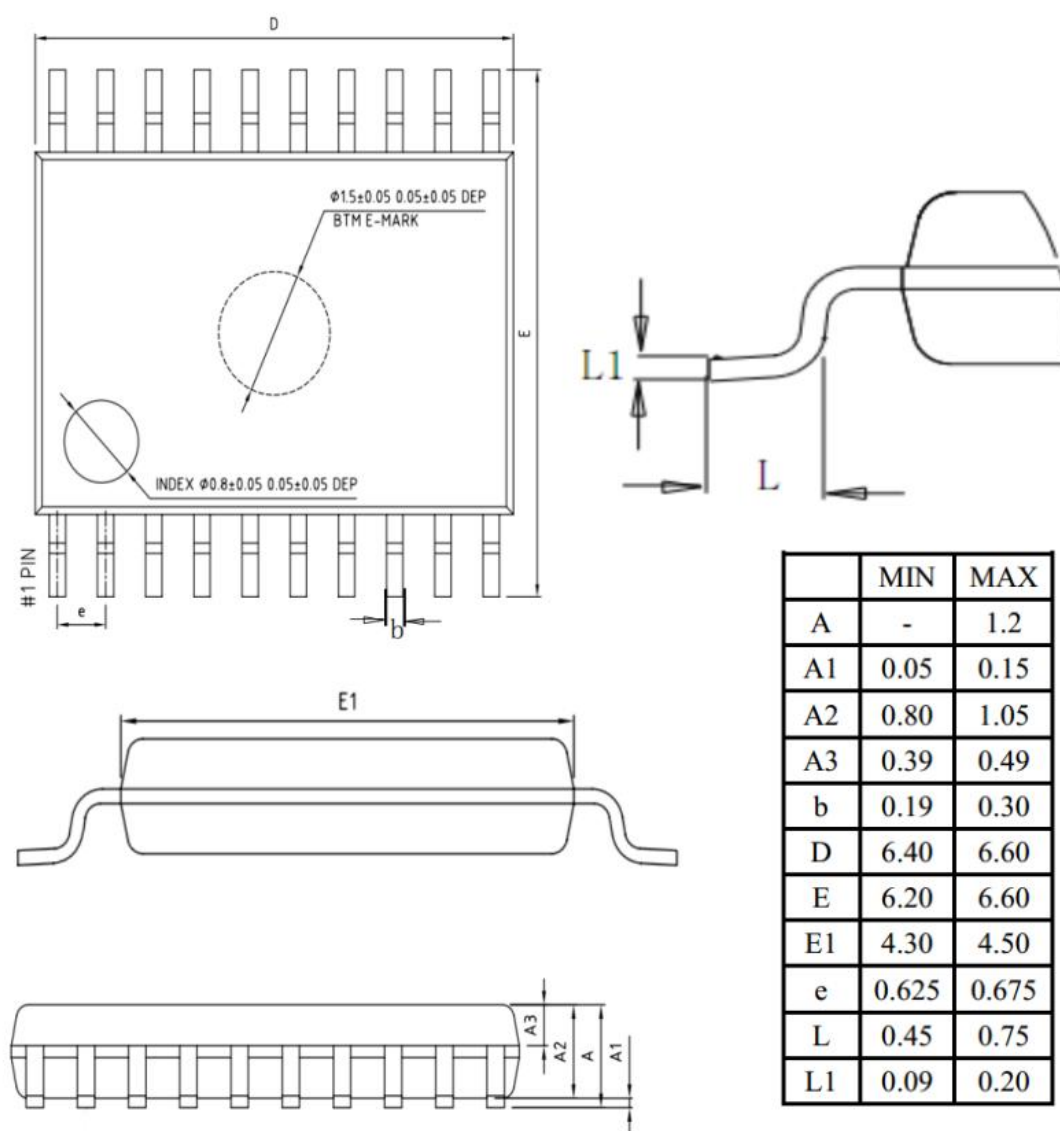


图 8-3 TSSOP20 封装尺寸

9 订货信息

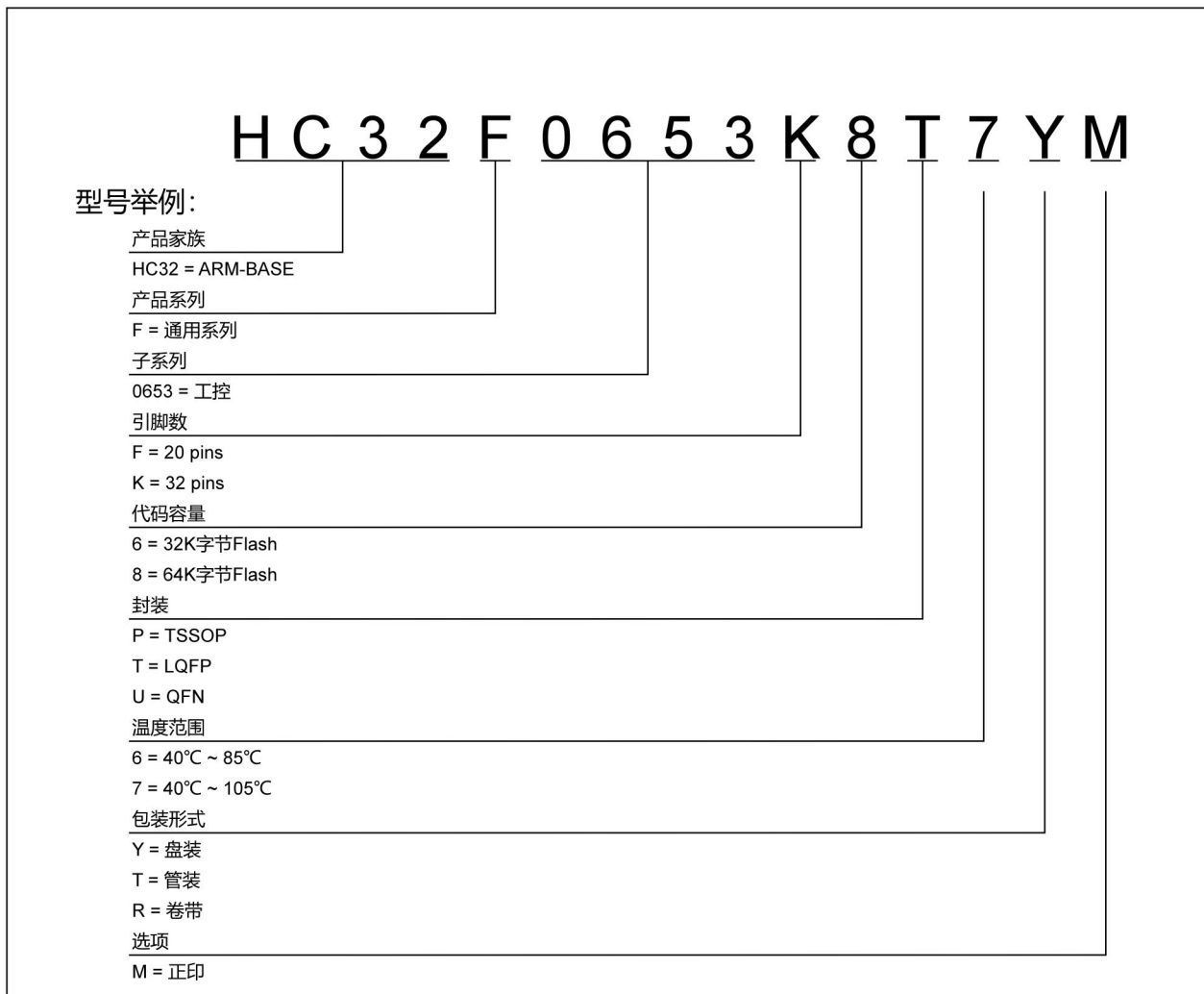


图 9-1 订购信息

10 版本记录

版本	日期	描述
Ver1.00	2025-4-7	第一版
Ver1.01	2025-5-15	1.修改部分描述错误 2.添加封装信息和订货信息
Ver1.02	2025-7-18	1.添加封装信息和订货信息
Ver1.03	2025-7-29	1.添加封装信息和订货信息
Ver1.04	2025-8-6	1.修改部分描述错误

HOLYCHIP 公司保留对以下所有产品在可靠性、功能和设计方面的改进作进一步说明的权利。HOLYCHIP 不承担由本手册所涉及的产品或电路的运用和使用所引起的任何责任，HOLYCHIP 的产品不是专门设计来应用于外科植入、生命维持和任何 HOLYCHIP 产品产生的故障会对个体造成伤害甚至死亡的领域。如果将 HOLYCHIP 的产品用于上述领域，即使这些是由 HOLYCHIP 在产品设计和制造上的疏忽引起的，用户应赔偿所有费用、损失、合理的人身伤害或死亡所直接或间接所产生的律师费用，并且用户保证 HOLYCHIP 及其雇员、子公司、分支机构和销售商与上述事宜无关。

芯圣电子

2025 年 3 月