

HC89F34x1C

数据手册

28/20/16 引脚 8 位

Touch+ADC 型 FLASH 单片机

目录

1	产品简介	5
1.1	功能特性	5
1.2	系统框图	7
1.3	引脚配置	8
1.4	引脚描述	9
1.5	外设功能引脚全映射模块 PTM	14
2	CPU	15
2.1	CPU 特性	15
2.2	CPU 相关寄存器	15
3	存储器	17
3.1	FLASH 结构	17
3.2	数据存储器 (RAM)	27
3.3	特殊功能寄存器 (SFR)	28
4	系统时钟	31
4.1	系统时钟特性	31
4.2	内部时钟	32
4.3	外部时钟	32
4.4	系统时钟相关寄存器	32
5	电源管理	39
5.1	电源管理特性	39
5.2	空闲模式	39
5.3	掉电模式	39
5.4	电源管理相关寄存器	40
6	复位	41
6.1	复位特性	41
6.2	上电复位	41
6.3	BOR 复位	41
6.4	外部 RST 复位	41
6.5	软件复位	42
6.6	看门狗 (WDT) 复位	42
6.7	堆栈溢出复位	42
6.8	复位相关寄存器	43
7	通用及复用 I/O	46
7.1	通用及复用 I/O 特性	46
7.2	I/O 模式	46
7.3	I/O 端口相关寄存器	46
7.4	外设功能引脚全映射控制	51

8	中断	53
8.1	中断特性	53
8.2	中断汇总	53
8.3	中断向量	53
8.4	中断优先级	53
8.5	中断处理	54
8.6	中断响应时间	54
8.7	外部中断	55
8.8	中断相关寄存器	55
9	定时器/计数器	61
9.1	定时器/计数器特性	61
9.2	定时器/计数器 Tx(x=0,1).....	61
9.3	定时器/计数器 3	66
9.4	定时器/计数器 4	68
10	脉宽调制 PWM	73
10.1	PWM 特性	73
10.2	PWM 输出模式	74
10.3	PWM 相关寄存器	74
11	单路 8 位 PWM 模块	81
11.1	PWM 特性	81
11.2	PWM 模块相关寄存器	81
12	看门狗定时器 WDT	83
12.1	WDT 特性	83
12.2	WDT 相关寄存器	83
13	通用异步收发器 UART1	85
13.1	UART1 特性	85
13.2	工作方式	85
13.3	波特率	91
13.4	多机通信	92
13.5	帧出错检测	93
13.6	UART1 相关寄存器	94
14	串行外部设备接口 SPI	97
14.1	SPI 特性	97
14.2	SPI 信号描述	97
14.3	SPI 时钟速率	98
14.4	SPI 功能框图	98
14.5	SPI 工作模式	98
14.6	SPI 传送形式	100
14.7	SPI 出错检测	101
14.8	SPI 中断	101
14.9	SPI 配置对照	102

14.10	SPI 相关寄存器	103
15	IIC 总线.....	105
15.1	IIC 特性.....	105
15.2	IIC 总线工作原理	105
15.3	总线上数据的有效性	106
15.4	总线上的信号	106
15.5	总线上数据初始格式	107
15.6	IIC 总线寻址约定	108
15.7	主机向从机读写 1 个字节数据的过程.....	108
15.8	IIC 工作模式	110
15.9	IIC 总线相关寄存器	115
16	模数转换 ADC.....	118
16.1	ADC 特性	118
16.2	ADC 相关寄存器	118
17	电容触摸按键 CTK.....	122
18	代码选项 OPTION.....	123
19	指令表	124
20	电气特性	129
20.1	极限参数	129
20.2	DC 特性.....	129
20.3	AC 特性.....	132
20.4	ADC 特性	132
20.5	FLASH 内存特性	133
20.6	BOR 检测电压特性	133
20.7	系统下电过程功耗	134
20.8	频率-校准值对应曲线	134
20.9	其他电气特性	135
21	封装尺寸	136
21.1	SOP28.....	136
21.2	SOP20.....	136
21.3	SOP16.....	137
22	修改记录	138

1 产品简介

HC89F34x1C 是一颗采用高速低功耗 CMOS 工艺设计开发的增强型 8 位触摸单片机，内部有 16K Bytes FLASH 程序存储器，256 Bytes IRAM 和 512 Bytes XRAM，最多 26 个双向 I/O 口，1 个外设功能引脚全映射模块 PTM，4 个 16 位定时器/计数器，1 组 12 位带死区控制互补 PWM，1 个 8 位 PWM，1 个 UART，1 个 SPI，1 个 IIC，最多 4 个外部中断，最多 21 通道电容触摸按键检测，最多 16+2 路 12 位 ADC，四种系统工作模式（正常、低速、掉电和空闲）和 14 中断源。

1.1 功能特性

- ◆ CPU
 - 增强型 1T 8051 内核
- ◆ ROM
 - 16K Bytes FLASH
 - IAP 和 ICP 操作
 - 支持双线仿真
- ◆ RAM
 - 256 Bytes IRAM
 - 512 Bytes XRAM
- ◆ 时钟
 - 内部高精度 32MHz RC
 - 内部 44KHz RC
 - 外部低频晶振 32.768KHz，支持 RTC
 - 多种时钟输出
- ◆ 多种复位方式
 - 上电复位（POR）
 - 多级低电压复位（BOR）
 - 4.2/3.9/3.6/3.0/2.6/2.4/2.0/1.8V
 - 看门狗（WDT）复位
 - 软件复位
 - 堆栈溢出复位
 - 外部管脚低电平复位
- ◆ I/O
 - 最多 26 个双向 I/O 口
 - 开漏、上下拉、施密特、输入输出
 - P3.4、P3.5 端口支持大电流（70mA）
 - 外设功能引脚全映射模块 PTM
- ◆ 中断
 - 14 中断源
 - 4 级中断优先级
 - 最多 4 个外部中断
- ◆ 定时器/计数器
 - T0/T1 兼容标准 8051，16 位自动重载
 - T3 可以工作在掉电模式
 - T4 可以使用外部信号触发定时
- ◆ PWM
 - 1 组 12 位带死区控制互补 PWM
 - 可配置为 2 路独立输出
 - 可当定时器使用
 - 具有故障检测功能
 - 1 路 8 位单输出 PWM
- ◆ 通讯模块
 - 1 个 UART
 - 1 个 SPI
 - 1 个 IIC
- ◆ ADC 检测电路
 - 支持最多 16+2 ch 12 位 ADC 检测
 - ADC 参考电压可选内部 VREF(2V/3V/4V)、外部 VREF、VDD
- ◆ 电容触摸按键（CTK）检测电路
 - 支持最多 21 通道电容触摸按键检测
 - 灵活的灵敏度调节能力
- ◆ 省电模式
 - 空闲模式
 - 掉电模式
- ◆ 工作条件
 - 宽电压 2.0V~5.5V
 - 温度范围 -40°C~+105°C
- ◆ 封装类型
 - SOP28
 - SOP20
 - SOP16

✓ 选型表

Product	ROM Bytes	RAM Bytes	Max Freq	I/O	TK	A/D	Timer	PWM	INT	UART	IIC	SPI	RTC	WDT	Package
HC89F3421C	16K	256+512	16M	14	9	7+2	16bit*4	12bit*1 组 8bit*1	2	1	1	1	1	1	SOP16
HC89F3431C	16K	256+512	16M	18	13	9+2	16bit*4	12bit*1 组 8bit*1	2	1	1	1	1	1	SOP20
HC89F3441C	16K	256+512	16M	26	21	16+2	16bit*4	12bit*1 组 8bit*1	4	1	1	1	1	1	SOP28

HC89F34x1C 使用注意事项:

- 1、为保证系统的稳定性，建议在 VDD 和 GND 之间接一个电容（容值须等于或大于 0.1μF）；
- 2、当使用 ADC 模块时，内部参考电压选择为 2V 时，VDD 电压须高于 2.7V；内部参考电压选择为 3V 时，VDD 电压须高于 3.5V；内部参考电压选择为 4V 时，VDD 电压须高于 4.5V；
- 3、进行 IAP（操作 FLASH）时：
 - a) IAP 操作时，须保证 MCU 工作电压在 2.0V~5.5V 之间；
 - b) 系统在进行 IAP 操作时，CPU 会进入空闲模式，此时不响应任何中断请求。建议此时关掉总中断 EA，避免 IAP 操作结束后漏掉中断响应；
 - c) 在 IAP 擦写和进入掉电模式之前，需要配置 FREQ_CLK 寄存器，指明目前 CPU 时钟的频率；

1.2 系统框图

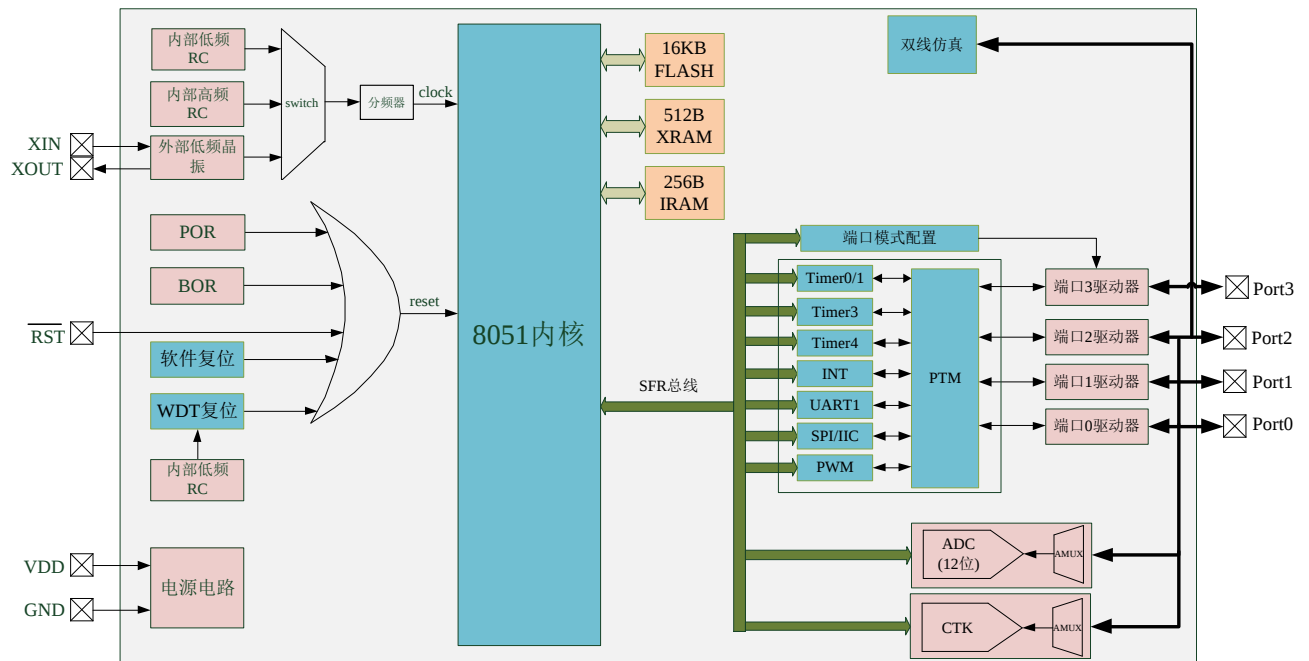


Figure 1-1 系统框图

1.3 引脚配置

1.3.1 SOP28 引脚配置

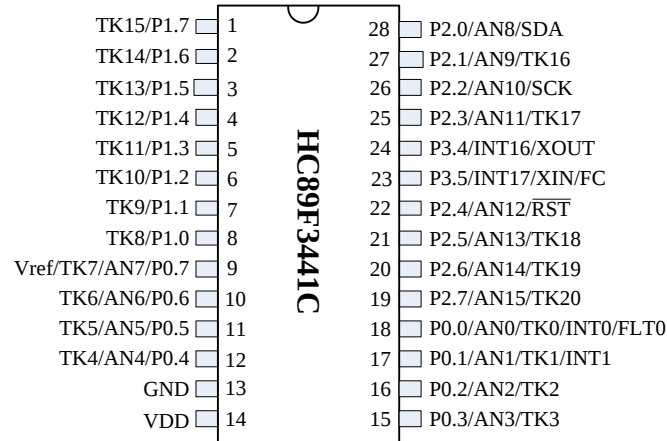


Figure 1-2 SOP28 引脚配置图

1.3.2 SOP20 引脚配置

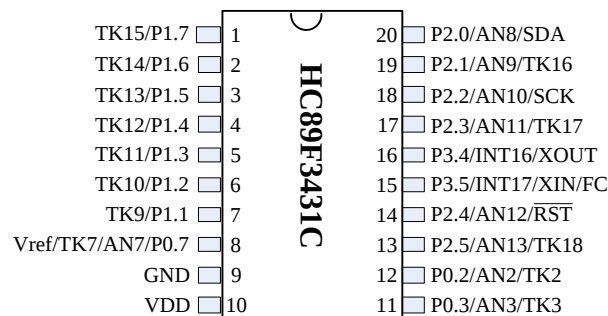


Figure 1-3 SOP20 引脚配置图

1.3.3 SOP16 引脚配置

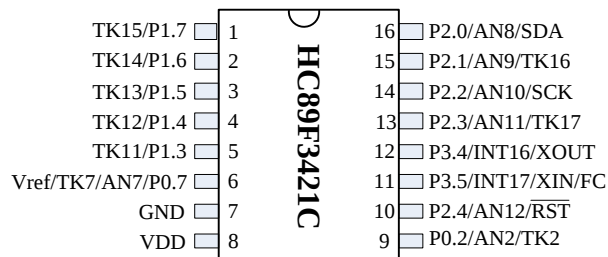


Figure 1-4 SOP16 引脚配置图

1.4 引脚描述

1.4.1 SOP28 引脚描述

脚位	名称	类型	说明
1	P1.7 TK15	I/O AN	输入/输出口 触摸通道 15
2	P1.6 TK14	I/O AN	输入/输出口 触摸通道 14
3	P1.5 TK13	I/O AN	输入/输出口 触摸通道 13
4	P1.4 TK12	I/O AN	输入/输出口 触摸通道 12
5	P1.3 TK11	I/O AN	输入/输出口 触摸通道 11
6	P1.2 TK10	I/O AN	输入/输出口 触摸通道 10
7	P1.1 TK9	I/O AN	输入/输出口 触摸通道 9
8	P1.0 TK8	I/O AN	输入/输出口 触摸通道 8
9	P0.7 AN7 TK7 Vref	I/O AN AN AN	输入/输出口 ADC7 输入口 触摸通道 7 ADC 参考电压输入/输出口
10	P0.6 AN6 TK6	I/O AN AN	输入/输出口 ADC6 输入口 触摸通道 6
11	P0.5 AN5 TK5	I/O AN AN	输入/输出口 ADC5 输入口 触摸通道 5
12	P0.4 AN4 TK4	I/O AN AN	输入/输出口 ADC4 输入口 触摸通道 4
13	GND	P	电源地
14	VDD	P	电源输入口
15	P0.3 AN3 TK3	I/O AN AN	输入/输出口 ADC3 输入口 触摸通道 3
16	P0.2 AN2 TK2	I/O AN AN	输入/输出口 ADC2 输入口 触摸通道 2
17	P0.1 AN1 TK1	I/O AN AN	输入/输出口 ADC1 输入口 触摸通道 1

	INT1	I	外部中断 1 输入口
18	P0.0	I/O	输入/输出口
	AN0	AN	ADC0 输入口
	TK0	AN	触摸通道 0
	INT0	I	外部中断 0 输入口
	FLT0	I	PWM0 故障检测输入引脚
19	P2.7	I/O	输入/输出口
	AN15	AN	ADC15 输入口
	TK20	AN	触摸通道 20
20	P2.6	I/O	输入/输出口
	AN14	AN	ADC14 输入口
	TK19	AN	触摸通道 19
21	P2.5	I/O	输入/输出口
	AN13	AN	ADC13 输入口
	TK18	AN	触摸通道 18
22	P2.4	I/O	输入/输出口
	$\overline{\text{RST}}$	I	外部复位输入口
	AN12	AN	ADC12 输入口
23	P3.5	I/O	输入/输出口
	INT17	I	外部中断 17 输入口
	XIN	AN	外部晶振输入口
	FC	AN	CTKVDD 滤波端口
24	P3.4	I/O	输入/输出口
	INT16	I	外部中断 16 输入口
	XOUT	AN	外部晶振输出口
25	P2.3	I/O	输入/输出口
	AN11	AN	ADC11 输入口
	TK17	AN	触摸通道 17
26	P2.2	I/O	输入/输出口
	AN10	AN	ADC10 输入口
	SCK	I	双线模式时钟输入
27	P2.1	I/O	输入/输出口
	AN9	AN	ADC9 输入口
	TK16	AN	触摸通道 16
28	P2.0	I/O	输入/输出口
	AN8	AN	ADC8 输入口
	SDA	I/O	双线模式数据输入/输出

注：I=输入，O=输出，I/O=输入/输出，P=电源，AN=模拟输入输出。

1.4.2 SOP20 引脚描述

脚位	名称	类型	说明
1	P1.7 TK15	I/O AN	输入/输出口 触摸通道 15
2	P1.6 TK14	I/O AN	输入/输出口 触摸通道 14
3	P1.5 TK13	I/O AN	输入/输出口 触摸通道 13
4	P1.4 TK12	I/O AN	输入/输出口 触摸通道 12
5	P1.3 TK11	I/O AN	输入/输出口 触摸通道 11
6	P1.2 TK10	I/O AN	输入/输出口 触摸通道 10
7	P1.1 TK9	I/O AN	输入/输出口 触摸通道 9
8	P0.7 AN7 TK7 Vref	I/O AN AN AN	输入/输出口 ADC7 输入口 触摸通道 7 ADC 参考电压输入/输出口
9	GND	P	电源地
10	VDD	P	电源输入口
11	P0.3 AN3 TK3	I/O AN AN	输入/输出口 ADC3 输入口 触摸通道 3
12	P0.2 AN2 TK2	I/O AN AN	输入/输出口 ADC2 输入口 触摸通道 2
13	P2.5 AN13 TK18	I/O AN AN	输入/输出口 ADC13 输入口 触摸通道 18
14	P2.4 $\overline{\text{RST}}$ AN12	I/O I AN	输入/输出口 外部复位输入口 ADC12 输入口
15	P3.5 INT17 XIN FC	I/O I AN AN	输入/输出口 外部中断 17 输入口 外部晶振输入口 CTKVDD 滤波端口
16	P3.4 INT16 XOUT	I/O I AN	输入/输出口 外部中断 16 输入口 外部晶振输出口
17	P2.3 AN11 TK17	I/O AN AN	输入/输出口 ADC11 输入口 触摸通道 17
18	P2.2	I/O	输入/输出口

	AN10 SCK	AN I	ADC10 输入口 双线模式时钟输入
19	P2.1 AN9 TK16	I/O AN AN	输入/输出口 ADC9 输入口 触摸通道 16
20	P2.0 AN8 SDA	I/O AN I/O	输入/输出口 ADC8 输入口 双线模式数据输入/输出

注：I=输入，O=输出，I/O=输入/输出，P=电源，AN=模拟输入输出。

1.4.3 SOP16 引脚描述

脚位	名称	类型	说明
1	P1.7 TK15	I/O AN	输入/输出口 触摸通道 15
2	P1.6 TK14	I/O AN	输入/输出口 触摸通道 14
3	P1.5 TK13	I/O AN	输入/输出口 触摸通道 13
4	P1.4 TK12	I/O AN	输入/输出口 触摸通道 12
5	P1.3 TK11	I/O AN	输入/输出口 触摸通道 11
6	P0.7 AN7 TK7 Vref	I/O AN AN AN	输入/输出口 ADC7 输入口 触摸通道 7 ADC 参考电压输入/输出口
7	GND	P	电源地
8	VDD	P	电源输入口
9	P0.2 AN2 TK2	I/O AN AN	输入/输出口 ADC2 输入口 触摸通道 2
10	P2.4 $\overline{\text{RST}}$ AN12	I/O I AN	输入/输出口 外部复位输入口 ADC12 输入口
11	P3.5 INT17 XIN FC	I/O I AN AN	输入/输出口 外部中断 17 输入口 外部晶振输入口 CTKVDD 滤波端口
12	P3.4 INT16 XOUT	I/O I AN	输入/输出口 外部中断 16 输入口 外部晶振输出口
13	P2.3 AN11 TK17	I/O AN AN	输入/输出口 ADC11 输入口 触摸通道 17
14	P2.2	I/O	输入/输出口

	AN10 SCK	AN I	ADC10 输入口 双线模式时钟输入
15	P2.1 AN9 TK16	I/O AN AN	输入/输出口 ADC9 输入口 触摸通道 16
16	P2.0 AN8 SDA	I/O AN I/O	输入/输出口 ADC8 输入口 双线模式数据输入/输出

注：I=输入，O=输出，I/O=输入/输出，P=电源，AN=模拟输入输出。

1.5 外设功能引脚全映射模块 PTM

HC89F34x1C 内置外设功能引脚全映射模块（PTM），可通过用户软件操作将绝大多数的外设功能引脚配置在任意一个非电源口（非 VDD、GND）上。

1.5.1 PTM 模块特性

- 外设引脚为输入功能（T0/1/3 外部输入、RXD 等等）特性时，系统将允许其多对一映射，即将多种输入特性外设功能引脚分配到同一 IO 口上，此举可使用户系统得到更好优化。
- 外设引脚为输出功能（T0/1 时钟输出、TXD 等等）特性时，如果将多个输出特性外设功能引脚分配到同一 IO 口，遵循固定的优先级，只能有一个输出有效。
- 软件操作，使用灵活。用户在应用系统设计时，不用考虑外设功能引脚布局问题，从而降低开发成本。
- 用户在开发过程中遇到如 PCB 上外设功能引脚布局错误情况时，可使用该模块对外设功能引脚进行重新分配，从而缩短开发周期。
- 用户应用系统升级如更换外围器件或 MCU 时，改动项可减至最少，从而降低系统维护成本。

1.5.2 PTM 可全映射外设功能引脚

外设	名称	类型	说明
定时器	T0	I/O	T0 的外部输入或 T0 时钟分频输出
	T1	I/O	T1 的外部输入或 T1 时钟分频输出
	T3	I	T3 的外部输入
	T4	I	T4 输入
PWM	PWM0	O	PWM0 输出口
	PWM01	O	PWM01 输出口
	PWM3	O	PWM3 输出口
CLK	CLKO	O	时钟输出口
UART1	TXD	O	UART1 数据传输口
	RXD	I/O	UART1 接收脚
IIC	SCL	I/O	IIC 时钟口
	SDA	I/O	IIC 数据口
SPI	MOSI	I/O	SPI 的数据口，主机的输出和从机的输入
	MISO	I/O	SPI 的数据口，主机的输入和从机的输出
	SCK	I/O	SPI 的时钟口
	$\overline{SS}$	I	SPI 的片选口

1.5.3 PTM 不可全映射外设功能引脚

PTM 不可全映射外设功能引脚包括电源口（VDD、GND）、ADC 输入、INTx（x=0、1、16、17）功能口、触摸检测口、外部低频晶振脚（XIN、XOUT）、PWM0 故障检测输入 FLT0、外部复位端口（ $\overline{RST}$ ）。

2 CPU

2.1 CPU 特性

HC89F34x1C 的 CPU 是一个增强型 1T 兼容 8051 的内核,在同样的系统时钟下,较之传统的 8051 芯片具有运行更快速,性能更优越的特性。

2.2 CPU 相关寄存器

2.2.1 程序计数器 PC

程序计数器 PC 在物理上是独立的,不属于 SFR 之列。PC 字长 16 位,是专门用来控制指令执行顺序的寄存器。单片机上电或复位后,PC 的值为 0000H,这样单片机从程序的零地址开始执行程序,假如第二复位向量使能,那上电或复位后,单片机将从第二复位向量指定的地址处开始执行程序。

2.2.2 累加器 ACC

累加器 (ACC) 在指令系统中又记做 A,用于向 ALU 提供操作数和存放运算结果,它是 CPU 中工作最频繁的寄存器,大多数指令的执行都要通过累加器 ACC 进行。

2.2.3 寄存器 B

寄存器 B 是专门为乘法和除法运算设置的寄存器,用于存放乘法和除法运算的操作数和运算结果,在不进行乘除运算时,可以作为通用寄存器使用。

2.2.4 程序状态字寄存器 PSW

此寄存器用来保存 ALU 运算结果的特征和处理状态,这些特征和状态可以作为控制程序转移的条件,供程序判别和查询,它的各位定义如下所示:

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位值	0	0	0	0	0	0	0	0
位符号	CY	AC	F0	RS[1:0]		OV	F1	P

位编号	位符号	说明
7	CY	进位/借位标志位 0: 算术运算中, 无进位或借位 1: 算术运算中, 有进位或借位
6	AC	辅助进位/借位标志位 0: 算术运算中, 无辅助进位或借位 1: 算术运算中, 有辅助进位或借位
5	F0	用户自定义标志位
4-3	RS[1:0]	工作寄存器组选择位 00: 第 0 组 (00H~07H)

		01: 第 1 组 (08H~0FH) 10: 第 2 组 (10H~17H) 11: 第 3 组 (18H~1FH)
2	OV	溢出标志位 0: 无溢出 1: 有溢出
1	F1	用户自定义标志位
0	P	奇偶标志位 0: ACC 寄存器中 1 的个数为 0 或偶数 1: ACC 寄存器中 1 的个数为奇数

2.2.5 堆栈指针 SP

堆栈指针SP是一个8位的专用寄存器。它指示出堆栈顶部在内部RAM中的位置。单片机复位后，SP值为07H，使得堆栈事实上由08H单元开始，考虑到08H~1FH单元分别属于工作寄存器1~3，若在程序设计中要使用到这些区域，最好把SP的值改为较大的值。51单片机的堆栈是向上生成的。例如：SP=30H，CPU执行一条调用指令或响应中断后，PC进栈，PCL保护到31H，PCH保护到32H，SP=32H。

2.2.6 数据指针 DPTR

数据指针DPTR是一个16位的专用寄存器，由两个8位的寄存器DPH（高8位）和DPL（低8位）组成。此系列单片机有两个16位的数据指针DPTR0和DPTR1，其共用同一地址空间，可通过设置DPS（INSCON.0）位来选择具体使用的数据指针。

2.2.7 数据指针选择寄存器 INSCON

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	-	-		-	-	-	DPS

位编号	位符号	说明
7-1	-	保留位（读为0，写无效）
0	DPS	数据指针选择位 0: 数据指针 DPTR0 1: 数据指针 DPTR1

3 存储器

3.1 FLASH 结构

- ✓ 用户选项配置区 OPTION。
- ✓ 用户程序空间：16K Bytes，每个扇区 128 字节，一共有 128 个扇区。

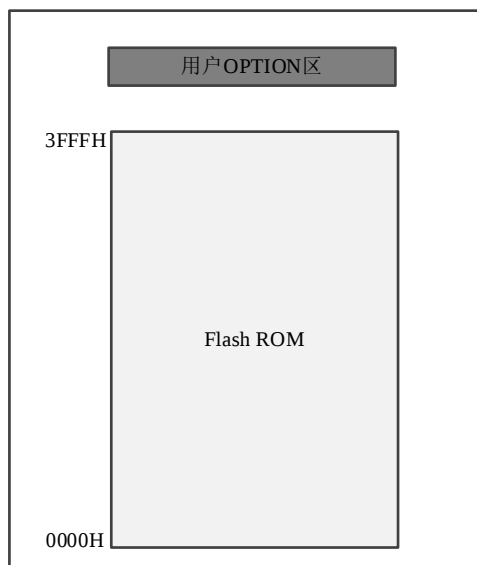


Figure 3-1 FLASH 结构图

3.1.1 OPTION

OPTION 区域存放的内容包括：用户定义的一些数据、用户设置的密码、芯片的一些配置、第二复位向量相关的内容。具体地址分配如下表。

地址偏移量	名称	地址偏移量	名称	地址偏移量	名称	地址偏移量	名称
0x0000	SN_DATA0	0x0020	FLASH_SC0	0x0031	ERST_ENB	0x0100	-
0x0001	SN_DATA1	0x0021	FLASH_SC1	0x0038	WAIT_TS	0x0101	-
0x0002	SN_DATA2	0x0022	FLASH_SC2	0x0039	BORVS	0x0102	-
0x0003	SN_DATA3	0x0023	FLASH_SC3	0x003A	WDTENB	0x0103	-
0x0004	SN_DATA4	-	-	0x003E	RVCFG	0x0104	-
0x0005	SN_DATA5	-	-	0x003F	nRVCFG	0x0105	-
0x0006	SN_DATA6	-	-	-	-	0x0106	-
0x0007	SN_DATA7	-	-	-	-	0x0107	-
0x0008	ID_DATA0	-	-	-	-	-	-
0x0009	ID_DATA1	-	-	-	-	-	-
0x000A	ID_DATA2	-	-	-	-	-	-
0x000B	ID_DATA3	-	-	-	-	-	-
0x000C	ID_DATA4	-	-	-	-	-	-
0x000D	ID_DATA5	-	-	-	-	-	-
0x000E	ID_DATA6	-	-	-	-	-	-
0x000F	ID_DATA7	-	-	-	-	-	-

SN_DATA 和 ID_DATA 是用户自定义数据，FLASH_SC 为客户密码，通过工具软件进行设置，如同设置代码选项一样，它们是可以被擦除和修改的，用户也可以在程序中通过 MOVC 来读出。

- 注：
- 1、用户在进行读 OPTION 操作前，需要将寄存器 INSCON[IAPS]位置 1。
 - 2、首字母为“n”位对应数据的反码。

3.1.1.1 外部复位使能ERST_ENB

位编号	7	6	5	4	3	2	1	0
位符号	-							ERST_ENB

位编号	位符号	说明
7-1	-	保留位
0	ERST_ENB	复位引脚使能位 0: 外部RST输入 1: P2.4 为 GPIO

3.1.1.2 复位重读option后等待时间WAIT_TS

位编号	7	6	5	4	3	2	1	0
位符号	-							WAIT_TS

位编号	位符号	说明
7-2	-	保留位
1-0	WAIT_TS	复位重读 option 后等待时间选择位 00: 8ms 01: 4ms 10: 1ms(用户不可选) 11: 16ms

3.1.1.3 BOR检测电压选择BORVS

位编号	7	6	5	4	3	2	1	0
位符号	-							BORVS

位编号	位符号	说明
7-3	-	保留位
2-0	BORVS	BOR 检测电压点选择位 000: 1.8V (为保证 IAP 操作正常的工作电压, 不建议选择该档位 BOR) 001: 2.0V 010: 2.4V 011: 2.6V 100: 3.0V 101: 3.6V 110: 3.9V 111: 4.2V

3.1.1.4 看门狗复位使能WDTEN

位编号	7	6	5	4	3	2	1	0
位符号	-							WDTEN

位编号	位符号	说明
7-1	-	保留位
0	WDTEN	看门狗复位使能位 0: 看门狗复位使能 1: 看门狗复位禁止

3.1.1.5 第二复位向量配置RVCFG

位编号	7	6	5	4	3	2	1	0
位符号	RVSEN	-	-	-	RVADR[3:0]			

位编号	位符号	说明
7	RVSEN	第二复位向量上电使能 0: 禁止第二复位向量 1: 使能第二复位向量
6-4	-	保留位
3-0	RVADR[3:0]	第二复位向量配置值 第二复位向量地址 = {RVADR[3:0], 10'h0000} 注: 1. RVADR[3:0]=0 时, 表示第二复位向量地址和 0x0000H 重合; 注意: RVADR[3:0]只能配置 0000/1000/1100/1110/1111 五个值 即第二复位向量的空间大小只能为 16K, 8K, 4K, 2K, 1K;

注: 首字母为“n”为对应数据的反码。对应数据与其反码除“00H”外, 若不为互补反码则IC上电一直维持复位反复读取配置字状态(直至正确)。即数据与其反码都为“00H”时被认为有效读取(即擦除后状态), 下同

◆ 关于第二复位向量, 分下面两种情况:

1. 上电复位后, 硬件读 OPTION 里的内容。如果第二复位向量上电使能 RVSEN 为 1, 则程序将从第二向量地址处(由 RVADR 来指定)执行程序。即此时 PC=第二向量地址, 程序可以一直执行到 0x3FFF 地址处。在执行过程中可以通过软复位将 PC 复位到 0x0000H。而软复位分两种, 一种是重读 OPTION, 另外一种是不重读 OPTION, 直接开始执行 0x0000H 开始的指令。如果重读 OPTION 之后, 发现第二复位向量继续使能, 那会继续从第二向量地址处执行程序。如果第二复位向量不再使能, 就从 0x0000H 处开始执行程序。
2. 上电复位后, 如果第二复位向量上电使能 RVSEN 为 0, 则程序从 0x0000H 开始执行程序。即此时 PC=0x0000H, 程序可以一直执行到 0x3FFF 地址处。在执行过程中软复位也有两种: 不重读 OPTION 和重读 OPTION。不重读 OPTION, PC 的复位值 0x0000H; 重读 OPTION 后 PC 的复位值由 OPTION 里的第二复位向量使能和第二复位向量地址共同决定。

3.1.2 FLASH

FLASH 的操作可以分成两种：第一种是通过 FLASH 编程器对 FLASH 进行读、擦、写操作，这种方式被称为在电路编程模式（ICP），SWD 就是 ICP 的一种；第二种是用户程序代码在 FLASH 代码区中运行，对 FLASH 存储器其他扇区进行读、擦、写操作，但无法擦除代码自身所在的扇区，这种方式被称为在应用编程模式（IAP）。

3.1.2.1 ICP操作密码保护

用户可以通过上位机软件对 ICP 操作进行密码保护，密码长度为 4 个字节（32 位），一旦用户设置了密码，那么只有输入正确的密码才能进入，否则就不能对 FLASH 进行任何操作，这样可以有效保护用户的程序代码。

3.1.2.2 ICP读擦写FLASH保护

ICP 的读保护以 4K 字节为保护单位，当一个 4K 字节空间的读保护使能时，ICP 读这个 4K 字节空间，读出来的数据为全 0，但是仍然可以通过 ICP 操作进行仿真。

ICP 的擦写保护也是以 4K 字节为保护单位，当对应 4K 字节的擦写保护使能时，ICP 将不能擦除和编程这个 4K 字节空间，强写也不允许。

若对应 4K 字节空间读保护被使能，但被允许擦除与写入，则可先擦除后获得该 4K 字节空间的读允许，直至复位或掉电。

ICP 的读擦写保护通过上位机软件来配置，详细情况请参见 HC-51LINK 用户手册。

3.1.2.3 IAP读擦写FLASH保护

IAP 通过 MOVN 指令来读 FLASH，IAP 读保护以 4K 字节为单位，如果一个 4K 字节空间设置了读保护，其他 4K 字节空间的 MOVN 指令读这个 4K 字节空间，读出来的数据为全零，但这个 4K 字节空间的 MOVN 指令可以读取自身的数据。

IAP 擦写 FLASH 的步骤详见 3.1.3 小节，IAP 的擦写保护以 4K 字节为单位，IAP 擦写之前需要先看相应扇区的擦写保护是否使能，没有使能擦写保护才能进行 IAP 的擦写。

若对应 4K 字节空间读保护被使能，但被允许擦除与写入，则可先擦除后获得该 4K 字节空间的读允许，直至复位或掉电。

IAP 的读擦写保护通过上位机软件来配置，详细情况请参见 HC-LINK 用户手册。

3.1.3 IAP 操作

IAP 操作（读、擦、写）对象包括 FLASH（类 EE），作为用户更新代码或存储数据使用。

3.1.3.1 IAP 使用注意

为保证用户对 FLASH 操作的安全性，使用过程中请注意：

- 1、只能对其他扇区进行读、擦、写操作，但无法擦除代码自身所在的扇区。
- 2、在进行 FLASH 的 IAP 擦写之前，需要配置扩展 SFR 里 `FREQ_CLK` 寄存器，指明目前 CPU 时钟的频率，`FREQ_CLK` 寄存器配置的值等于 CPU 时钟的频率值，最小为 1MHz，假如目前 CPU 的运行频率为 16MHz，那就配置寄存器 `FREQ_CLK=0x10`。建议在 IAP 擦写之前，将 CPU 时钟频率分频为整数。当 CPU 时钟频率低于 1MHz 时，不能进行 FLASH 的 IAP 擦写操作。
- 3、系统在进行 IAP 操作时，CPU 进入空闲模式，此时不响应任何中断。
- 4、系统的正常工作电压是 2.0V~5.5V，当系统电压低于该电压范围时，可能会导致 IAP 误操作。建议此时使能 BOR 功能，且配置合适的 BOR 消抖时间以保证 VDD 存在干扰的情况下 IAP 操作正常。
- 5、在 Option 中设置相关的 IAP 擦写保护，使能 IAP 操作程序所在扇区保护位，可以有效的保证程序区不会被改写或误擦除。
- 6、为防止 MCU 上电瞬间电压不稳导致程序跑飞造成误操作，所以建议每次 IAP 操作前采用 ADC 检测 MCU 当前电压，如果电源低于 2.0V 则不进行 IAP 操作。
- 7、IAP 操作前，建议关闭总中断（`EA=0`），确保在 IAP 操作期间不会被中断影响，待 IAP 操作完成后，再将中断恢复。
- 8、在执行 IAP 操作时，不可避免的会遇到数据擦除结束后，尚未写数据就掉电的情况，所以建议采用双区域保存数据的方式，即使一个区域的数据被擦除，也可以保证另一个区域的数据被正常读取。

3.1.3.2 IAP数据寄存器 IAP_DATA

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	IAP_DATA[7:0]							

位编号	位符号	说明
7-0	IAP_DATA[7:0]	IAP 数据寄存器

3.1.3.3 IAP地址寄存器 IAP_ADDRL、IAP_ADDRH

IAP_ADDRL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
位符号	IAP_ADDR[7:0]							

IAP_ADDRH

位编号	7	6	5	4	3	2	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	1	1	1	1	1	1
位符号		IAP_ADDR[14:8]						

位编号	位符号	说明
7	-	保留位
6-0	IAP_ADDR[14:8]	IAP 操作时的地址寄存器高七位
7-0	IAP_ADDR[7:0]	IAP 操作时的地址寄存器低八位

注：必须在解锁后才能修改 IAP 地址寄存器，而且一次操作完成后，IAP 地址自动指向 0x3FFF。

3.1.3.4 IAP命令寄存器 IAP_CMDH、IAP_CMDL

IAP_CMDH

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	IAP_CMDH[7:0]							

位编号	位符号	说明
3-0	IAP_CMDH[7:0]	操作命令模式选择位 0xF0: 解锁(22 个 CPU 时钟后自动锁定, IAP_CMDH[7:0] = 0x00) 0xE1: 触发一次操作 0xD2: 扇区擦除 0xB4: 字节编程 0x87: 软件复位, 复位地址为 0000H, 不重读代码选项 0x78: 软件复位, 复位地址为 0000H, 重读代码选项 其它值: 锁定

IAP_CMDL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	IAP_CMDL[7:0]							

位编号	位符号	说明
7-0	IAP_CMDL[7:0]	IAP_CMDH[7:0]反码 注: 写入 IAP_CMDL[7:0]数据必须为之前写入 IAP_CMDH[7:0]的反码, 否则将锁定相关操作, 即相关操作会失败

3.1.3.5 IAP操作示例

3.1.3.6.1 IAP 操作 FLASH

1、程序空间扇区擦除

IAP_EEPROM = 0x00; //IAP 操作对象为 FLASH

IAP_CMDH = 0xF0;

IAP_CMDL = 0x0F;

IAP_ADDRH = 0x80;

IAP_ADDRH = 0x00; //选择第 1 扇区被擦除, 一个扇区为 128 字节

IAP_CMDH = 0xD2; //选择操作方式, 扇区擦除

IAP_CMDL = 0x2D;

IAP_CMDH = 0xE1; //触发

IAP_CMDL = 0x1E; //触发后 IAP_ADDRH 指向 0xFF, IAP_ADDRH 指向 0x3F, 同时自动锁定

2、程序空间字节编程

IAP_EEPROM = 0x00; //IAP 操作对象为 FLASH

```
IAP_DATA = 0x02; //待编程数据，写入数据寄存器必须放在解锁之前
IAP_CMDH = 0xF0;
IAP_CMDL = 0x0F;
IAP_ADDRH = 0x00;
IAP_ADDRL = 0x00;
IAP_CMDH = 0xB4; //选择操作方式，字节编程
IAP_CMDL = 0x4B;
IAP_CMDH = 0xE1; //触发
IAP_CMDL = 0x1E; //触发后 IAP_ADDRL 指向 0xFF, IAP_ADDRH 指向 0x3F, IAP_DATA 指向 0x00, 同时自动锁定
```

注：解锁之后，写地址、选择操作方式、触发这三个步骤之间不能插入任何指令，必须连续操作。

3、软件复位（不重读代码选项）

```
IAP_CMDH = 0xF0;
IAP_CMDL = 0x0F;
IAP_CMDH = 0x87;
IAP_CMDL = 0x78;
```

4、软件复位（重读代码选项）

```
IAP_CMDH = 0xF0;
IAP_CMDL = 0x0F;
IAP_CMDH = 0x78;
IAP_CMDL = 0x87;
```

3.1.4 FLASH ICP 操作

用户可以通过 HC-LINK 仿真器的双线方式对 MCU 进行仿真和编程，当 MCU 已经焊在用户板上后，如果用户采用上电复位的方式，只需要连接四根线（VDD、GND、SDA、SCK），用户系统必须断电，由仿真器提供电源。当用户系统不希望掉电时，可以采用五根线进入编程模式，多了一个复位引脚，仿真器更详细的使用说明请参见 HC-LINK 用户手册。

另外，因为编程信号非常敏感，用户需要用 4 个跳线将编程引脚（VDD、SDA、SCK、 $\overline{\text{RST}}$ ）从应用电路中分离出来，如下图所示。另外，如果使用外部复位引脚进入，也需要将外部复位引脚进行跳线分离。

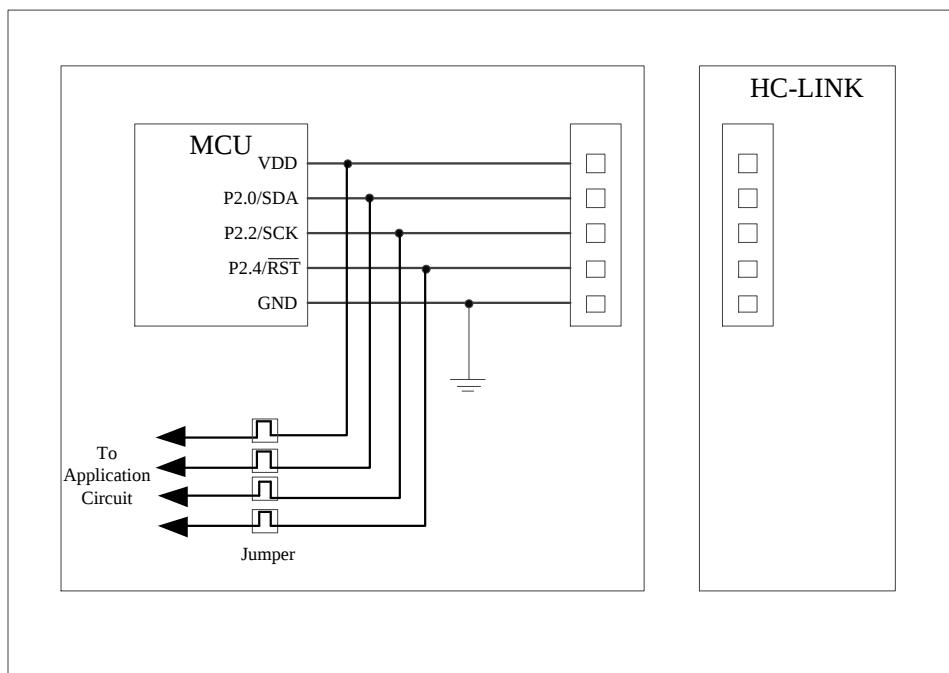


Figure 3-2 HC-LINK 编程硬件连接

当采用 ICP 模式进行操作时，建议按照如下步骤进行操作：

- 1、在开始编程前断开跳线（Jumper），从应用电路中分离编程引脚。
- 2、将芯片编程引脚连接至 Flash 编程器接口，开始编程。
- 3、编程结束后断开 Flash 编程器接口，连接跳线恢复应用电路。

3.2 数据存储器（RAM）

HC89F34x1C 为用户提供了 256 Bytes 内部 RAM 和 512 Bytes 内部扩展 XRAM 来作为数据存储器。下图为数据存储器空间分配。

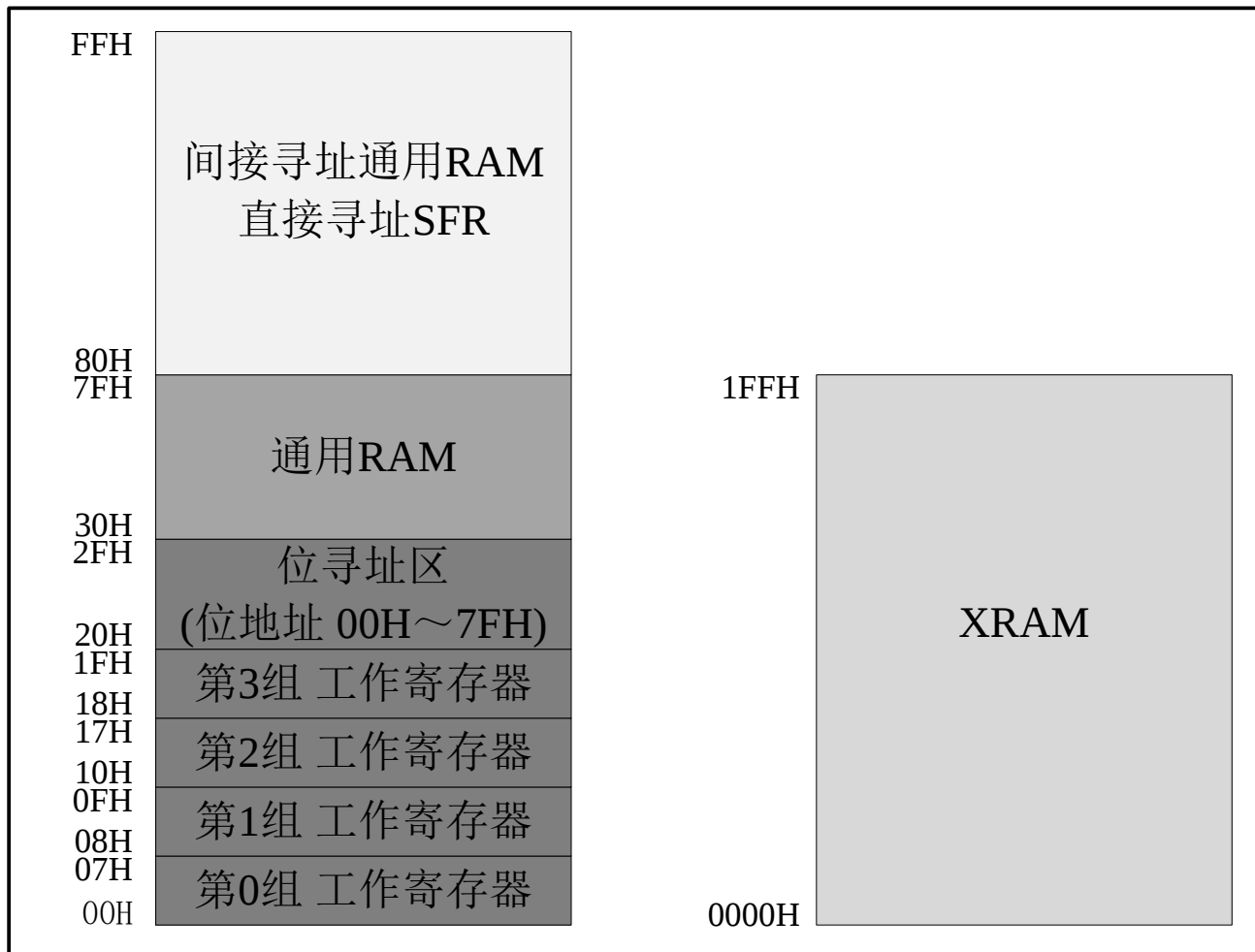


Figure 3-3 数据存储器示意图

内部 RAM 的高 128 Bytes (0x80 ~ 0xFF) 必须采用寄存器间接寻址方式。

内部扩展 RAM (XRAM) 的地址范围是 0x00 ~ 0x1FF, 访问内部扩展 RAM 的方法与传统 8051 单片机访问外部扩展 RAM 的方法相同, 但是不影响 I/O 口。在汇编语言中, 内部扩展 RAM 通过 MOVX 指令访问, 即 MOVX @DPTP 或者 MOVX @Ri。

3.3特殊功能寄存器（SFR）

3.3.1 特殊功能寄存器列表

3.3.1.1 直接寻址读写SFR

	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
F8	RSTFR	IAP_ADDRL	IAP_ADDRH	IAP_DATA	IAP_CMDL	IAP_CMDH	-	-
F0	B	PWMM	-	-	-	-	-	-
E8	-	FLTMODE	-	-	-	-	-	-
E0	ACC	PWMEN	PWM0PL	PWM0PH	PWM0DL	PWM0DH	PWM0DTL	PWM0DTH
D8	IE2	-	PWM0C	-	-	PWM3C	PWM3P	PWM3D
D0	PSW	-	-	-	CTKCON	CTKCHS	CTKRL	CTKRH
C8	-	T3CON	TL3	TH3	T4CON	TL4	TH4	-
C0	-	-	-	-	-	-	-	-
B8	IE1	IP2	IP3	-	-	WDTC	-	-
B0	P3	-	-	-	ADCC0	ADCC1	ADCRL	ADCRH
A8	IE	IP0	IP1	SPDAT	SPCTL	SPSTAT	IICDAT	IICADR
A0	P2	-	INSCON	IAP_EEPROM	-	-	IICCON	IICSTA
98	SCON	SBUF	SADDR	SADEN	-	-	SCON2	PINTF2
90	P1	-	-	-	-	-	PINTF0	-
88	TCON	TMOD	TL0	TL1	TH0	TH1	CLKSWR	CLKCON
80	P0	SP	DPL	DPH	-	-	-	PCON

3.3.1.2 外部扩展XSFR

扩展 XSFR 采用和 XRAM 同样的访问方式，使用 MOVX A, @DPTR 和 MOVX @DPTR, A 来进行读写。

比如写一个地址为 0xFE88 的 XSFR，操作如下：

```
MOV A, #wdata
MOV DPTR, #0xFE88
MOVSX @DPTR, A
```

读地址为0xFE89的XSFR，操作如下：

```
MOV DPTR, #0xFE89
MOVSX A, @DPTR
```

扩展XSFR（基地址0xFE80）

偏移地址	XSFR 名称	偏移地址	XSFR 名称	偏移地址	XSFR 名称	偏移地址	XSFR 名称
0x0000	TCON1	0x0010	-	0x0020	WDTCCR	0x0030	PITS0
0x0001	-	0x0011	CLKDIV	0x0021	-	0x0031	-
0x0002	-	0x0012	FREQ_CLK	0x0022	-	0x0032	-
0x0003	-	0x0013	CLKOUT	0x0023	-	0x0033	-
0x0004	-	0x0014	XTALCFG	0x0024	BORC	0x0034	PITS4
0x0005	-	0x0015	SPOV_RSTEN	0x0025	BORDBC	0x0035	-
0x0006	-	0x0016	-	0x0026	-	0x0036	-
0x0007	-	0x0017	-	0x0027	-	0x0037	-
0x0008	-	0x0018	-	0x0028	-	0x0038	-
0x0009	-	0x0019	-	0x0029	-	0x0039	-
0x000A	-	0x001A	-	0x002A	RSTDBC	0x003A	PINTE2
0x000B	-	0x001B	ADCC2	0x002B	-	0x003B	SFTR
0x000C	-	0x001C	ADCC3	0x002C	-	0x003C	SFTRMV
0x000D	-	0x001D	-	0x002D	-	0x003D	TRMEN
0x000E	-	0x001E	-	0x002E	-	0x003E	TRMV
0x000F	-	0x001F	-	0x002F	-	0x003F	-

扩展XSFR（基地址0xFF00）

偏移地址	XSFR 名称	偏移地址	XSFR 名称	偏移地址	XSFR 名称	偏移地址	XSFR 名称
0x0000	P0M0	0x0010	P2M0	0x0020	-	0x0030	-
0x0001	P0M1	0x0011	P2M1	0x0021	-	0x0031	-
0x0002	P0M2	0x0012	P2M2	0x0022	-	0x0032	-
0x0003	P0M3	0x0013	P2M3	0x0023	-	0x0033	-
0x0004	P0M4	0x0014	P2M4	0x0024	-	0x0034	-
0x0005	P0M5	0x0015	P2M5	0x0025	-	0x0035	-
0x0006	P0M6	0x0016	P2M6	0x0026	-	0x0036	-
0x0007	P0M7	0x0017	P2M7	0x0027	-	0x0037	-
0x0008	P1M0	0x0018	-	0x0028	-	0x0038	-
0x0009	P1M1	0x0019	-	0x0029	-	0x0039	-
0x000A	P1M2	0x001A	-	0x002A	-	0x003A	-
0x000B	P1M3	0x001B	-	0x002B	-	0x003B	-
0x000C	P1M4	0x001C	P3M4	0x002C	-	0x003C	-
0x000D	P1M5	0x001D	P3M5	0x002D	-	0x003D	-
0x000E	P1M6	0x001E	-	0x002E	-	0x003E	-
0x000F	P1M7	0x001F	-	0x002F	-	0x003F	-

扩展XSFR（基地址0xFF80）

偏移地址	XSFR 名称	偏移地址	XSFR 名称	偏移地址	XSFR 名称	偏移地址	XSFR 名称
0x0000	T0_MAP	0x0010	PWM0_MAP	0x0020	TXD_MAP	0x0030	-
0x0001	T1_MAP	0x0011	PWM01_MAP	0x0021	RXD_MAP	0x0031	-
0x0002	-	0x0012	-	0x0022	SCL_MAP	0x0032	-
0x0003	T3_MAP	0x0013	-	0x0023	SDA_MAP	0x0033	-
0x0004	T4_MAP	0x0014	-	0x0024	$\overline{SS}$ _MAP	0x0034	-
0x0005	-	0x0015	-	0x0025	SCK_MAP	0x0035	-
0x0006	-	0x0016	-	0x0026	MOSI_MAP	0x0036	-
0x0007	-	0x0017	-	0x0027	MISO_MAP	0x0037	-
0x0008	-	0x0018	-	0x0028	-	0x0038	-
0x0009	-	0x0019	-	0x0029	-	0x0039	-
0x000A	-	0x001A	-	0x002A	-	0x003A	-
0x000B	-	0x001B	-	0x002B	-	0x003B	-
0x000C	-	0x001C	PWM3_MAP	0x002C	-	0x003C	-
0x000D	-	0x001D	-	0x002D	-	0x003D	-
0x000E	-	0x001E	-	0x002E	-	0x003E	-
0x000F	CLKO_MAP	0x001F	-	0x002F	-	0x003F	-

4 系统时钟

4.1 系统时钟特性

HC89F34x1C 单片机系统时钟有 3 种时钟源可选：

- 外部低频晶振时钟（32.768KHz）
- 内部高频 RC 时钟（32 MHz）
- 内部低频 RC 时钟（44KHz）

用户选择后的系统时钟（如果选择的是内部高频 RC，则经 RC32M_DIV[1:0]分频后的时钟）记做 osc_clk ，其频率为 F_{osc} ，周期为 T_{osc} ，主要用于外设模块， osc_clk 可以进行 1-255 之间任意值的分频，分频后的时钟记做 CPU 时钟，其频率为 F_{cpu} ，周期为 T_{cpu} 。

芯片上电复位后，默认选择内部高频 RC 作为系统时钟，其 F_{osc} 为 4MHz， F_{cpu} 为 2MHz，可以通过配置相关寄存器改变 osc_clk 和 cpu_clk 的频率。

CPU 最高可以运行在 20MHz 频率下，如果所选时钟源频率高于 20MHz，需要对其进行分频，使 CPU 时钟频率等于或低于 20MHz。

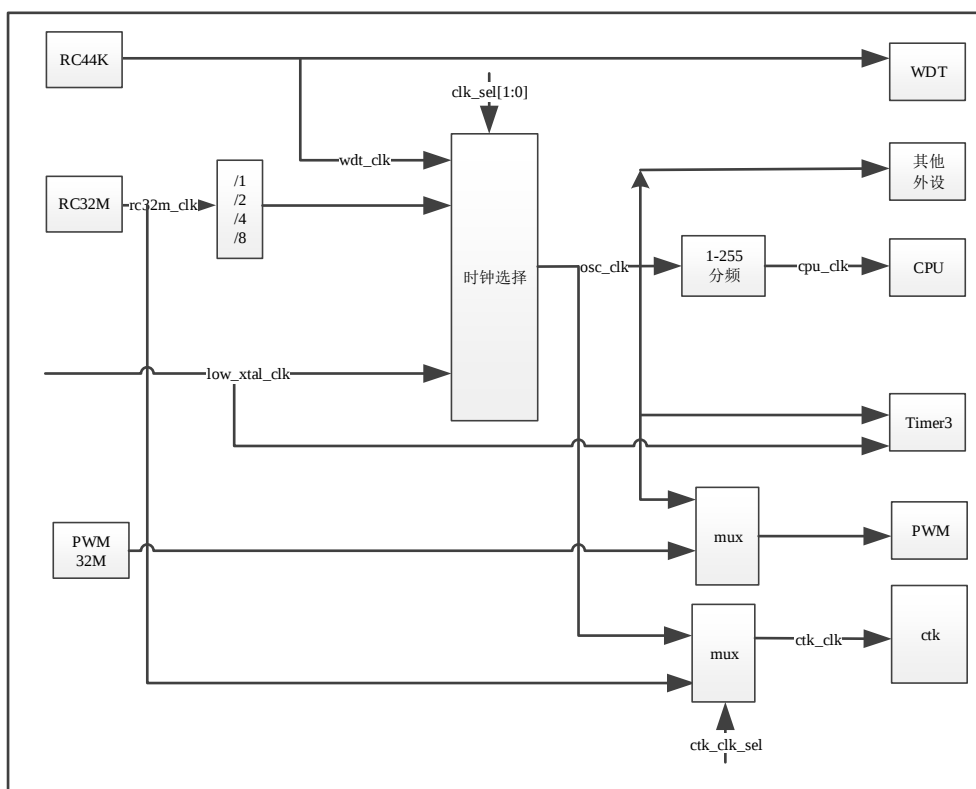


Figure 4-1 系统时钟框图

4.2 内部时钟

内部时钟有内部高频 RC（RC32M）和内部低频 RC（RC44K）两种，用户可通过软件进行选择。

内部低频 RC（RC44K）输出的时钟记做 wdt_clk，用于看门狗定时器的计数，也可以用于系统时钟；内部高频 RC（RC32M）输出的时钟记做 rc32m_clk，可以进行 1/2/4/8 分频。

4.3 外部时钟

外部时钟支持外部低频晶振（32.768KHz），用户可通过软件进行选择。经过 XTALCFG 寄存器选择的外部晶振时钟记做 xtal_clk。

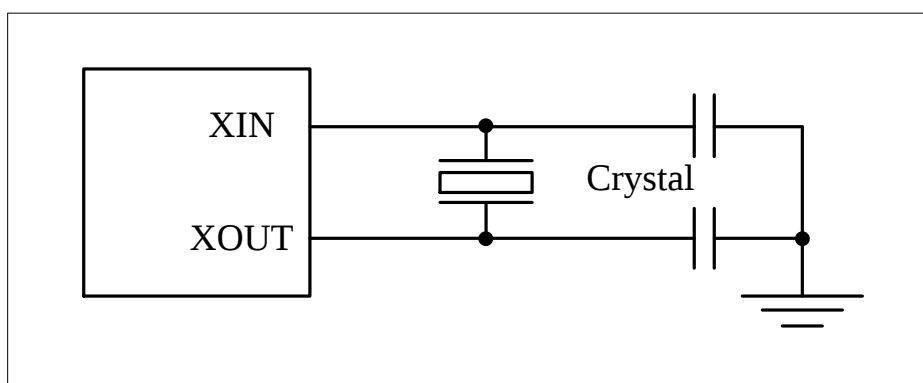


Figure 4-2 外部低频晶振典型应用

使用注意：

- 1、晶振起振电容推荐值为 20pF，该值可通过晶振基本的起振和运行测试，并非最优值。
- 2、外部晶振和 XIN、XOUT 端口之间的物理距离应在 10mm 以内。
- 3、使用外部晶振前，应充分了解所选晶振相关应用参数和要求，以获得最佳性能。

4.4 系统时钟相关寄存器

4.4.1 时钟控制寄存器 CLKCON

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R/W	R/W	R
复位值	0	0	1	1	0	0	1	0
位符号	-	LXTAL RDY	HSRC RDY	LSRC RDY	-	LXTALEN	HSRCEN	-

位编号	位符号	说明
7	-	系统保留位
6	LXTALRDY	外部低频晶振状态位 0：外部低频晶振未准备 1：外部低频晶振准备就绪 注：该位硬件自动清 0 或置 1

5	HSRCRDY	内部高速 RC 振荡器状态位 0: 内部高速 RC 未准备 1: 内部高速 RC 准备就绪 注: 该位硬件自动清 0 或置 1
4	LSRCRDY	内部低速 RC 振荡器状态位 0: 内部低速 RC 未准备 1: 内部低速 RC 准备就绪 注: 该位硬件自动清 0 或置 1
3	-	保留位
2	LXTALEN	外部低频晶振使能位 0: 外部低频晶振关闭 1: 外部低频晶振打开 注: 使能时, 需要软件将对应管脚的 IO 模式设置为模拟通道。
1	HSRCEN	内部高速 RC 振荡器使能位 0: 内部高速 RC 关闭 1: 内部高速 RC 打开
0	-	保留位

4.4.2 时钟选择寄存器 CLKSWR

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W
复位值	0	1	0	1	0	0	1	1
位符号	CLKSTA[1:0]		CLKSEL[1:0]		-		RC32M_DIV[1:0]	

位编号	位符号	说明
7-6	CLKSTA[1:0]	系统时钟状态位 00: 当前系统时钟为内部低频 RC 01: 当前系统时钟为内部高频 RC 10: 当前系统时钟为外部低频晶振 11: 无效位 注: 系统根据当前系统时钟自动切换各个状态
5-4	CLKSEL[1:0]	系统时钟选择位 00: 选择系统时钟为内部低频 RC 01: 选择系统时钟为内部高频 RC 10: 选择系统时钟为外部低频晶振 11: 系统保留位, 禁止写 11 注: 系统时钟选择时, 必须对应的时钟源状态位为 1, 否则将延续之前时钟, 切换后, 原时钟不会自动关闭; 选择后的系统时钟记做 osc_clk , 其频率为 F_{osc} , 周期为 T_{osc} 。
3-2	-	保留位
1-0	RC32M_DIV[1:0]	内部高频 RC 分频系数

		00: rc32m_clk 01: rc32m_clk /2 10: rc32m_clk /4 11: rc32m_clk /8 (默认)
--	--	--

4.4.3 时钟分频寄存器 CLKDIV

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	0
位符号	CLKDIV[7:0]							

位编号	位符号	说明
7-0	CLKDIV[7:0]	时钟分频系数，默认为 2 分频 配置值为 0 或 1 时，时钟不分频；其他情况下，配置值等于分频系数； 注：分频后的时钟为 CPU 时钟，其频率为 F_{cpu} ，周期为 T_{cpu} 。

4.4.4 时钟输出寄存器 CLKOUT

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R/W	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-			CLK_OUT_EN	-	CLK_OUT_SEL[2:0]		

位编号	位符号	说明
7-5	-	保留位
4	CLK_OUT_EN	时钟输出使能位 0: 禁止时钟输出 1: 允许时钟输出
3	-	保留位
2-0	CLK_OUT_SEL [2:0]	时钟输出选择位 000: 选择 cpu_clk 001: 选择 osc_clk 010: 选择 wdt_clk 011: 选择 xtal_clk 100: 选择 rc32m_clk 101: 选择 rc32m_clk/2 110: 选择 rc32m_clk/4 111: 选择 rc32m_clk/8

4.4.5 外部低频晶振配置寄存器 XTALCFG

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R	R	R	R/W
复位值	0	0	0	0	0	0	1	0
位符号	-		LXTAL_CFG		-			LXTAL_SEL

位编号	位符号	说明
7-6	-	系统保留位
5-4	LXTAL_CFG	外部低频晶振 warmup 计数值选择, 计数时钟源为所选外部低频晶振 00: 16384 01: 4096 10: 1024 11: 65536
3-2	-	系统保留位
1	-	固定为 1
0	LXTAL_SEL	外部晶振选择位 0: 外部低频晶振 32.768KHz 1: 系统保留位, 禁止写 1

4.4.6 时钟频率寄存器 FREQ_CLK

在进行 FLASH 的 IAP 擦写或者系统进入掉电模式之前, 需要配置扩展 SFR 里 FREQ_CLK 寄存器, 指明目前 CPU 时钟的频率, FREQ_CLK 寄存器配置的值等于 CPU 时钟的频率值, 最小为 1MHz, 假如目前 CPU 的运行频率为 16MHz, 那就配置寄存器 FREQ_CLK=0x10。

FREQ_CLK

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	0
位符号	FREQ_CLK[7:0]							

位编号	位符号	说明
7-0	FREQ_CLK[7:0]	当前 CPU 时钟频率寄存器 举例如下: CPU 频率为 16MHz 时, 配置值为 0x10 CPU 频率为 8MHz 时, 配置值为 0x08 CPU 频率为 4MHz 时, 配置值为 0x04 CPU 频率为 2MHz 时, 配置值为 0x02 CPU 频率小于等于 1MHz 时, 配置值为 0x01

4.4.7 内部高频 RC 调整使能寄存器 TRMEN

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-							RCTRMEN

位编号	位符号	说明
7-1	-	保留位
0	RCTRMEN	内部高频 RC 调整使能位 1: 使能内部高频 RC 调整 0: 禁止内部高频 RC 调整 注: 使能该寄存器后, 必须立即配置 TRMV 寄存器, 否则这个使能寄存器在执行完下一条指令后会被清零, 内部高频 RC 调整就会失效。

4.4.8 内部高频 RC 调整配置寄存器 TRMV

位编号	7	6	5	4	3	2	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	x	x	x	x	x	x	x
位符号	-	RCTRMV						

位编号	位符号	说明
7	-	保留位
6-0	RCTRMV	内部高频 RC 调整配置值 注： 1. x 表示不确定的值，此寄存器的上电复位值为出厂的校准值，校准后的高频 RC 时钟频率为 32MHz（1%）。 2. 在配置这个寄存器值时，需要先将内部高频 RC 调整使能位配置为 1。 3. 根据校准曲线软件先使能 RCTRMEN，紧接着就要配置 RCTRMV，在调整完成后 RCTRMEN 自动清零，防止重复操作。

使用注意：

- 1、系统上电后将高频 RC 出厂校准值读出保存，该值为高频 RC=32MHz 的校准值。
- 2、如需微调高频 RC 频率，可按照步骤，先将 RCTRMEN 使能，再根据调节步长设置新的 RCTRMV 值。
- 3、RCTRMV 的调节曲线见频率-校准值对应曲线章节，调节步长为 0.128MHz。高频 RC 调节曲线在 RCTRMV=0x3F 时出现拐点，使用时应注意。
- 4、系统时钟选择内部高频 RC 时，重新设置 RCTRMV 值后，高频 RC 时钟频率发生改变，此时其他模块（如定时器、UART1 的波特率等等）相关频率也会跟随改变。

4.4.9 PWM0/3 时钟源调整使能寄存器 SFTR

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-						SFTREN1	SFTREN0

位编号	位符号	说明
7-2	-	保留位
1	SFTREN1	PWM0 时钟源软件调整使能位 1: 允许软件单独调整 PWM0 时钟源，不影响其他模块时钟 0: 使用芯片出厂校准后的标准 32MHz RC 作为 PWM 时钟源
0	SFTREN0	PWM3 时钟源软件调整使能位 1: 允许软件单独调整 PWM3 时钟源，不影响其他模块时钟 0: 使用芯片出厂校准后的标准 32MHz RC 作为 PWM 时钟源 注意：SFTREN1 和 SFTREN0 不允许同时为 1

4.4.10 PWM0/3 时钟源调整配置寄存器 SFTRMV

位编号	7	6	5	4	3	2	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	SFTRMV						

位编号	位符号	说明
7	-	保留位
6-0	SFTRMV	PWM0/3 时钟源调整配置值 注： 1. PWM CLK 出厂时并不做校准。 2. 在配置这个寄存器值时，需要先将 SFTREN _x (x=0、1) 使能位配置为 1。

5 电源管理

5.1 电源管理特性

- 提供空闲模式和掉电模式，作为省电模式
- 提供多种方式从空闲/掉电模式唤醒
- 提供低速模式（详见[系统时钟](#)章节相关介绍）

5.2 空闲模式

空闲模式能够降低系统功耗，在此模式下，程序中止运行，CPU时钟停止，但外部设备时钟可继续运行。空闲模式下，CPU在确定的状态下停止，并在进入空闲模式前所有CPU的状态都被保存，如PC，PSW，SFR，RAM等。

将PCON寄存器中的IDL位置1，使HC89F34x1C进入空闲模式。IDL位置1是CPU进入空闲模式之前执行的最后一条指令。

两种方式可以退出空闲模式：

- (1) 有效中断。HC89F34x1C在检测到一个有效中断后，CPU时钟立即恢复，硬件清除PCON寄存器的IDL位，然后执行中断服务程序，随后跳转到进入空闲模式指令之后的指令。
- (2) 复位信号（外部复位引脚上出现低电平、WDT复位、BOR复位）。HC89F34x1C在检测到有效复位后，PCON寄存器中的IDL位被复位成零，系统程序也会从复位地址0000H处开始执行，RAM保持不变而SFR的值根据不同功能模块改变。

5.3 掉电模式

掉电模式可以使HC89F34x1C进入功耗非常低的状态。掉电模式将停止CPU和外围设备的所有时钟信号，但如果WDT和TIMER3使能且允许在掉电模式下工作，则WDT和TIMER3模块将继续工作。在进入掉电模式前所有CPU的状态都被保存，如PC、PSW、SFR、RAM等。

在芯片进入掉电模式之前，需要配置扩展SFR里FREQ_CLK寄存器，指明目前CPU时钟的频率，FREQ_CLK寄存器配置的值等于CPU时钟的频率值，最小为1MHz，假如目前CPU的运行频率为16MHz，那就配置寄存器FREQ_CLK=0x10。

将PCON寄存器中的PD位置1，使HC89F34x1C进入掉电模式。PD位置1是CPU进入掉电模式之前执行的最后一条指令。

注：如果同时设置IDL位和PD位，HC89F34x1C进入掉电模式。退出掉电模式后，CPU也不会进入空闲模式，从掉电模式退出后硬件会清除IDL及PD位。

多种方式可以退出掉电模式：

- (1) 有效外部中断、WDT中断及TIMER3(计数时钟源选择外部低频晶振或外部时钟)中断。在有效的外部中断和TIMER3(计数时钟源选择外部低频晶振或外部时钟)中断发生后，如果系统时钟是内部高频RC，则内部高频RC振荡器启动，CPU时钟和外设时钟立即恢复，PCON寄存器中的PD位会被硬件清除，然后程序运行外部中断服务程序。在完成外部中断服务程序之后，跳转到进入掉电模式之后的指令继续运行。

(2) 复位信号（外部复位引脚上出现有效电平、WDT复位、BOR复位）。有效的复位信号将PCON寄存器中的PD位复位成零，振荡器重新启动，CPU时钟和外设时钟立即恢复，系统也会从复位地址0000H处开始运行，RAM保持不变，SFR的值根据不同功能模块改变。

5.4 电源管理相关寄存器

电源控制寄存器PCON

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-				GF1	GF0	PD	IDL

位编号	位符号	说明
7-4	-	保留位（读为0，写无效）
3	GF1	用户通用标志位 1
2	GF0	用户通用标志位 0
1	PD	掉电模式控制位 0：正常工作模式 1：进入掉电模式（退出该模式后自动清0）
0	IDL	空闲模式控制位 0：正常工作模式 1：进入空闲模式（退出该模式后自动清0） 注：若同时置PD&IDL，系统将进入掉电模式，唤醒后标志被同时清除

6 复位

6.1 复位特性

- 提供多种方式复位
- 所有的复位方式都有特定标志

6.2 上电复位

HC89F34x1C单片机在上电过程中，会产生一个POR信号，此信号会复位单片机，同时置位RSTFR寄存器里的PORF位，用户可以判断此标志以来确定是否发生POR复位。

上电复位的持续时间大约为5ms，复位结束后会读取OPTION，然后再等待WAIT_TS代码选项决定的时间，芯片就开始执行用户程序。

注：完全掉电后（ $V_{DD} < 0.7V$ ），POR复位后的RAM值不稳定，建议重新初始化相应RAM，VDD大于0.7V时RAM数据可以被保存。

6.3 BOR 复位

当VDD电压下降到 V_{BOR} 以下，且持续时间超过 T_{BOR} 时，系统产生欠压复位。BOR复位时，RSTFR寄存器的BORF位将被置1，用户可以判断此标志以来确定是否发生BOR复位。

HC89F34x1C可以通过代码选项或寄存器来选择BOR检测的电压档位，客户在使用时可根据情况选择合适的BOR检测电压。BOR档位：4.2V/3.9V/3.6V/3.0V/2.6V/2.4V/2.0V/1.8V

欠压复位示意图如下所示，其中 T_{BOR} 也可以通过寄存器配置，用来进行电压消抖。

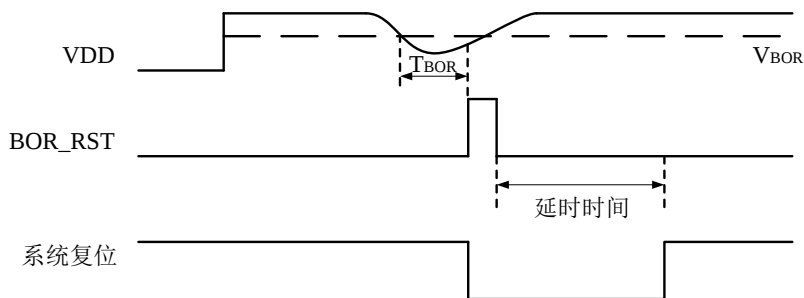


Figure 6-1BOR 示意图

6.4 外部 RST 复位

外部 $\overline{RST}$ 引脚复位就是从外部向 $\overline{RST}$ 引脚施加一定宽度的复位脉冲，从而实现单片机的复位，不使用时可以将其配置为I/O口，需要在代码选项中设置。

做 $\overline{RST}$ 端口时，将 $\overline{RST}$ 复位管脚拉低并维持至少设定时间（软件配置）后，单片机才会进入复位状态，将 $\overline{RST}$ 复位管脚拉回高电平后，单片机结束复位状态并从用户程序区的0000H处开始正常工作。RST

复位时，RSTFR寄存器的EXRSTF将被置1，用户可以判断此标志以来确定是否发生外部RST复位。

注：P2.4端口作为外部RST复位端口时，无法作为普通I/O使用。

6.5 软件复位

对 IAP_CMDH 和 IAP_CMDL 寄存器按流程写入相关值，系统将产生软件复位，复位后 RSTFR 寄存器的 SWRF 将被置 1，用户可以判断此标志以来确定是否发生软件复位。具体操作详见 FLASH IAP 操作章节相关介绍。

软件复位前建议将系统时钟切换到内部高频 RC。软件复位不会切换系统时钟，但会将 CLKSWR 寄存器里的 RC32M_DIV[1:0]复位成 11B，CLKDIV 寄存器复位成 02H。

6.6 看门狗（WDT）复位

为了防止系统在异常情况下受到干扰，MCU程序跑飞，导致系统长时间异常工作，通常是引进看门狗，如果MCU程序中不在规定的时间内按要求操作看门狗，就认为MCU处于异常状态，看门狗就会强制MCU复位，芯片重新从0000H开始运行。

注：WDT复位功能可以通过OPTION进行禁止，WDT复位功能禁止后可以使用WDT中断唤醒掉电模式。

6.7 堆栈溢出复位

堆栈溢出时，系统将复位，并置 SPOVF 溢出标志，必须软件清除。

堆栈溢出包含入堆溢出及出栈溢出，入栈溢出是指当前栈顶地址为 0xFF，同时又有入栈动作；出栈溢出是指当前栈顶地址等于用户设定的栈底地址，同时又有出栈动作。

堆栈溢出复位配置有使能寄存器，当使能时，堆栈溢出才能复位系统。

6.8 复位相关寄存器

6.8.1 复位标志寄存器 RSTFR

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
POR复位	1	x	x	x	x	0	x	x
EXRST复位	u	1	u	u	u	0	u	u
BOR复位	u	u	1	u	u	0	u	u
WDT复位	u	u	u	1	u	0	u	u
软复位	u	u	u	u	1	0	u	u
堆栈溢出复位	u	u	u	u	u	0	1	u
位符号	PORF	EXRSTF	BORF	WDTRF	SWRF	-	SPOVF	-

注：x表示不确定的值，u表示该值由当前复位方式前的值决定，建议在POR复位后清零一下该寄存器。

位编号	位符号	说明
7	PORF	上电复位标志位 0：无上电复位 1：发生上电复位，软件清 0
6	EXRSTF	外部 RST 复位标志位 0：无外部 RST 复位 1：发生外部 RST 复位，软件清 0
5	BORF	欠压复位标志位 0：无欠压复位 1：发生欠压复位，软件清 0
4	WDTRF	WDT 复位标志位 0：无 WDT 复位 1：发生 WD 复位，软件清 0
3	SWRF	软件复位标志位 0：无软件复位 1：发生软件复位，软件清0
2	-	保留
1	SPOVF	堆栈溢出标志位 0：无堆栈溢出复位 1：堆栈溢出复位，软件清 0
0	-	保留

6.8.2 BOR 电压检测控制寄存器 BORC

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0
位符号	BOREN	BOR_DBC_EN	-			BORVS[2:0]		

位编号	位符号	说明
7	BOREN	BOR 使能位 0: 禁止 BOR 1: 允许 BOR
6	BOR_DBC_EN	BOR 消抖使能位 0: 不使能 1: 使能
5-3	-	保留位（读为 0，写无效）
2-0	BORVS[2:0]	BOR 检测电压点选择位 000: 1.8V（不建议选择该档位） 001: 2.0V 010: 2.4V 011: 2.6V 100: 3.0V 101: 3.6V 110: 3.9V 111: 4.2V

6.8.3 BOR 电压检测去抖控制寄存器 BORDBC

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	BORDBC[7:0]							

位编号	位符号	说明
7-0	BORDBC[7:0]	BOR 消抖控制位 消抖时间 = BORDBC[7:0] * 8T _{CPU} + 2 T _{CPU} 注：需要使能 BOR_DBC_EN，否则 BOR 不消抖。

注：掉电模式下自动关闭 BOR 消抖功能，退出掉电模式自动打开。

6.8.4 外部 RST 去抖控制寄存器 RSTDBC

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
位符号	RSTDBC[7:0]							

位编号	位符号	说明
7-0	RSTDBC[7:0]	外部 RST 消抖控制位 消抖时间 = RSTDBC[7:0] * 8T _{CPU} + 2 T _{CPU}

注：掉电模式下自动关闭外部 RST 消抖功能，退出掉电模式又自动打开。

6.8.5 堆栈溢出复位使能寄存器 SPOV_RSTEN

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-							SPOV_RSTEN

位编号	位符号	说明
7-1	-	保留位（读为 0，写无效）
0	SPOV_RSTEN	堆栈溢出复位使能位 0：不使能堆栈溢出复位 1：使能堆栈溢出复位

7 通用及复用I/O

7.1 通用及复用 I/O 特性

- 支持最多 26 个双向 I/O 端口
- 多种模式可配

7.2 I/O 模式

HC89F34x1C 所有 I/O 口的模式均可由软件灵活配置，具体可以配置为：输入、施密特输入、输出、开漏输出、开漏带上拉输出等。另外，所有 I/O 口的上下拉和驱动能力也可以独立配置。

HC89F34x1C 上电复位后，在 5ms+option 选择等待时间（4/8/16ms）内，端口为模拟输入状态。

如果 P2.4 被配置为复位脚，其端口是施密特输入上拉状态。

HC89F34x1C 在输入模式时（不包含模拟输入），任何读操作，数据来源都来自引脚电平。而在输出模式时，通过指令来区分读数据来源，采用“读-修改-写”指令时，为读寄存器值，其它指令为读引脚电平。

7.3 I/O 端口相关寄存器

7.3.1 P0 端口数据寄存器 P0

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	P0[7:0]							

位编号	位符号	说明
7-0	P0[7:0]	P0 端口数据寄存器

7.3.2 P1 端口数据寄存器 P1

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	P1[7:0]							

位编号	位符号	说明
7-0	P1[7:0]	P1 端口数据寄存器

7.3.3 P2 端口数据寄存器 P2

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	P2[7:0]							

位编号	位符号	说明
7-0	P2[7:0]	P2 端口数据寄存器

7.3.4 P3 端口数据寄存器 P3

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位符号	-	-	P3.5	P3.4	-	-	-	-

位编号	位符号	说明
7-6	-	保留位
5-4	P3[5:4]	P3.5/P3.4 端口数据寄存器
3-0	-	保留位

7.3.5 P0 口模式寄存器 P0M0~ P0M7

P0M_x (x=0~7)

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	0
位符号	OUTEN _x	INEN _x	PHEN _x	PLEN _x	SMTEN _x	ODEN _x	DREN _x [1:0]	

位编号	位符号	说明
7	OUTEN _x	0: 输出禁止 1: 输出使能
6	INEN _x	0: 输入禁止 1: 输入使能
5	PHEN _x	0: 上拉功能禁止 1: 上拉功能使能
4	PLEN _x	0: 下拉功能禁止 1: 下拉功能使能
3	SMTEN _x	0: 施密特功能禁止 1: 施密特功能使能

2	ODENx	0: 开漏输出禁止 1: 开漏输出使能
1-0	DRENx[1:0]	必须写入“01”值，禁止写入其他值

P0 端口常用模式配置表:

配置模式	OUTENx	INENx	PHENx	PLENx	SMTENx	ODENx	DRENx[1:0]
模拟输入	0	0	0	0	0	0	01
非施密特数字带 带上拉输入	0	1	1	0	0	0	01
非施密特数字带 带下拉输入	0	1	0	1	0	0	01
施密特数字带 带上拉输入	0	1	1	0	1	0	01
施密特数字带 带下拉输入	0	1	0	1	1	0	01
非施密特数字带 带上下拉输入	0	1	1	1	0	0	01
施密特数字带 带上下拉输入	0	1	1	1	1	0	01
推挽输出	1	1	0	0	0	0	01
开漏输出	1	1	x	x	x	1	01
开漏带上拉输出	1	1	1	x	x	1	01

注:

1. x为任意值或客户自定义;
2. 端口上拉、下拉电阻阻值不同;
3. P1、P2、P3端口模式和P0配置相同。

7.3.6 P1 口模式寄存器 P1M0~ P1M7

P1M_x (x=0~7)

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	0
位符号	OUTEN _x	INEN _x	PHEN _x	PLEN _x	SMTEN _x	ODEN _x	DREN _x [1:0]	

位编号	位符号	说明
7	OUTEN _x	0: 输出禁止 1: 输出使能
6	INEN _x	0: 输入禁止 1: 输入使能
5	PHEN _x	0: 上拉功能禁止 1: 上拉功能使能
4	PLEN _x	0: 下拉功能禁止 1: 下拉功能使能
3	SMTEN _x	0: 施密特功能禁止 1: 施密特功能使能
2	ODEN _x	0: 开漏输出禁止 1: 开漏输出使能
1-0	DREN _x [1:0]	必须写入“01”值，禁止写入其他值

7.3.7 P2 口模式寄存器 P2M0~ P2M7

P2M_x (x=0~7)

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	0
位符号	OUTEN _x	INEN _x	PHEN _x	PLEN _x	SMTEN _x	ODEN _x	DREN _x [1:0]	

位编号	位符号	说明
7	OUTEN _x	0: 输出禁止 1: 输出使能
6	INEN _x	0: 输入禁止 1: 输入使能
5	PHEN _x	0: 上拉功能禁止 1: 上拉功能使能
4	PLEN _x	0: 下拉功能禁止 1: 下拉功能使能
3	SMTEN _x	0: 施密特功能禁止 1: 施密特功能使能
2	ODEN _x	0: 开漏输出禁止

		1: 开漏输出使能
1-0	DRENx[1:0]	必须写入“01”值，禁止写入其他值

7.3.8 P3 口模式寄存器 P3M4、P3M5

P3M_x (x=4,5)

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	0
位符号	OUTEN _x	INEN _x	PHEN _x	PLEN _x	SMTEN _x	ODEN _x	DREN _x [1:0]	

位编号	位符号	说明
7	OUTEN _x	0: 输出禁止 1: 输出使能
6	INEN _x	0: 输入禁止 1: 输入使能
5	PHEN _x	0: 上拉功能禁止 1: 上拉功能使能
4	PLEN _x	0: 下拉功能禁止 1: 下拉功能使能
3	SMTEN _x	0: 施密特功能禁止 1: 施密特功能使能
2	ODEN _x	0: 开漏输出禁止 1: 开漏输出使能
1-0	DREN _x [1:0]	00: 端口驱动 1 (20mA/70mA) 01: 端口驱动 2 (10mA/28mA) 其他值: 写入其他值时默认选择端口驱动 2

7.4 外设功能引脚全映射控制

大多数外设功能口可以映射到任意 I/O 口上，但 PWM 故障检测脚、ADC 输入、INT_x (x=0、1、16、17) 功能口、晶振脚等除外。

7.4.1 外设功能引脚全映射控制寄存器

扩展 SFR 地址	扩展 SFR 名称	扩展 SFR 地址	扩展 SFR 名称	扩展 SFR 地址	扩展 SFR 名称	扩展 SFR 地址	扩展 SFR 名称
0xFF80	T0_MAP	0xFF90	PWM0_MAP	0xFFA0	TXD_MAP	0xFFB0	-
0xFF81	T1_MAP	0xFF91	PWM01_MAP	0xFFA1	RXD_MAP	0xFFB1	-
0xFF82	-	0xFF92	-	0xFFA2	SCL_MAP	0xFFB2	-
0xFF83	T3_MAP	0xFF93	-	0xFFA3	SDA_MAP	0xFFB3	-
0xFF84	T4_MAP	0xFF94	-	0xFFA4	SS_MAP	0xFFB4	-
0xFF85	-	0xFF95	-	0xFFA5	SCK_MAP	0xFFB5	-
0xFF86	-	0xFF96	-	0xFFA6	MOSI_MAP	0xFFB6	-
0xFF87	-	0xFF97	-	0xFFA7	MISO_MAP	0xFFB7	-
0xFF88	-	0xFF98	-	0xFFA8	-	0xFFB8	-
0xFF89	-	0xFF99	-	0xFFA9	-	0xFFB9	-
0xFF8A	-	0xFF9A	-	0xFFAA	-	0xFFBA	-
0xFF8B	-	0xFF9B	-	0xFFAB	-	0xFFBB	-
0xFF8C	-	0xFF9C	PWM3_MAP	0xFFAC	-	0xFFBC	-
0xFF8D	-	0xFF9D	-	0xFFAD	-	0xFFBD	-
0xFF8E	-	0xFF9E	-	0xFFAE	-	0xFFBE	-
0xFF8F	CLKO_MAP	0xFF9F	-	0xFFAF	-	0xFFBF	-

注：以上 SFR 为外部扩展 XSFR，采用 MOVX 来进行读写

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W
复位值	0	0	1	1	0	1	1	1
位符号	-	-	FPORT[1:0]		-	FPIN[2:0]		

位编号	位符号	说明
7-6	-	保留位
5-4	FPORT[1:0]	映射端口选择 00: P0 01: P1 10: P2 11: P3
3	-	保留位
2-0	FPIN[2:0]	映射端口输出脚选择 FPIN[2:0] = x(x = 0...7)，表示选择对应端口名的 x(x = 0...7)脚

注：1、输出功能，系统将禁止其多对一映射，但输入功能，系统将允许其多对一映射。

2、如果需要取消某功能映射，将相应寄存器恢复为默认值 0x37 即可

上面寄存器的复位值为 0x37，这样复位后 IO 都为 GPIO，用户在使用外设功能脚之前必须先配置上面的寄存器，否则外设功能将无法使用。

使用举例：

将 UART1 的 TXD 和 RXD 分别映射到 P2.1 和 P2.2 上，用户在启动 UART1 之前应该配置下面命令：

```
TXD_MAP = 0x21;    //TXD-->P2.1
```

```
RXD_MAP = 0x22;    //RXD-->P2.2
```

如果用户在下一轮的设计时，需要重新将 UART1 的 TXD 和 RXD 分别映射到 P0.4 和 P0.5 上，那用户需要进行如下的配置：

```
TXD_MAP = 0x04;    //TXD-->P0.4
```

```
RXD_MAP = 0x05;    //RXD-->P0.5
```

多个输出映射到一个端口上时，只能有一个输出有效，下面是默认的优先级

优先级顺序	复用端口功能
1	PWM3
2	CLKO
3	T0_OUT
4	T1_OUT
5	T4_OUT
6	TXD
7	RXD
8	SCK
9	MOSI
10	MISO
11	SCL
12	SDA

比如：CLKO_MAP 配置为 0x01 选择 P0.1 口作为 CLKO 的输出口，T0_MAP 也配置为 0x01，这个时候硬件会按上面的优先级，P0.1 将配置为 CLKO 的输出口，而 T0_MAP 的配置无效。

当所有的端口映射控制寄存器都不等于 0x01 时，即所有的功能口都不选择 P0.1 作为输入输出口，此时这个端口的输出就是 P0 端口数据寄存器的第 1 位。

输入可以配置为多个功能从一个 PAD 引脚进入，比如：

T0_MAP 配置为 0x23，则选择 P2.3 作为 T0 的输入口，T1_MAP 也配置为 0x23，这样从 P2.3 端口进入的信号同时作用于 T0 和 T1。

将 TXD 和 RXD 都配置到一个端口上时，并且此端口设置为输出，则 TXD 和 RXD 将内部连接起来。

在输入时，无论端口是什么功能，读端口数据寄存器都读芯片引脚上的值。

8 中断

8.1 中断特性

- 14 断源
- 4 级中断优先级
- 最多 4 外部中断

8.2 中断汇总

中断源	向量地址	允许位	标志位	查询优先级	中断号(C 语言)
INT0	0003H	EX0	INT0F	1(最高)	0
T0	000BH	ET0	TF0	2	1
INT1	0013H	EX1	INT1F	3	2
T1	001BH	ET1	TF1	4	3
UART1	0023H	ES1	TI/RI	5	4
WDT	002BH	EWDT	WDTRF	6	5
SPI	0043H	ESPI	SPIF/MODF	7	8
IIC	004BH	EIIC	SI	8	9
T3	0053H	ET3	TF3	9	10
T4	005BH	ET4	TF4	10	11
PWM	0063H	PWM3IE (x = 0,3)	PWM3IF (x = 0,3)	11	12
CTK	0073H	ECTK	CTKIF	12	14
ADC	007BH	EADC	ADCIF (x = 0,1)	13	15
INT16_17	008BH	EINx (x = 16、17)	INTxF (x = 16、17)	14	17

注：除以上允许位及标志位被置位外，要响应中断必须中断总开关 EA 也被使能，否则不响应任何中断

8.3 中断向量

当一个中断产生时，程序计数器内容被压栈，相应的中断向量地址被载入程序计数器。中断向量的地址在中断汇总表中详细列出。

8.4 中断优先级

每个中断源都可被单独设置为4个中断优先级之一，分别通过IP0，IP1，IP2，IP3中相应位来实现。

中断优先级服务程序描述如下：

响应一个中断服务程序时，可响应更高优先级的中断，但不能响应同优先级或低优先级的另一个中断。

响应最高级中断服务程序时，不响应其它任何中断。如果不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果同优先级的中断源在指令周期开始时同时申请中断，那么内部查询优先级确定中断请求响应顺序。查询优先级详细参照中断汇总。

中断优先级	
优先级控制位(x 为功能模块)	优先级
Px[1:0]	
00	优先级 0（最低）
01	优先级 1
10	优先级 2
11	优先级 3（最高）

8.5 中断处理

中断标志在 CPU 时钟的上升沿被采样，如果一个标志被置起，那么 CPU 捕获到后中断系统调用一个长转移指令（LCALL）调用其中断服务程序，但由硬件产生的 LCALL 会被下列任何条件阻止：

1. 同级或更高级的优先级中断在运行中。
2. 当前的周期不是执行中指令的最后一个周期。换言之，正在执行的指令完成前，任何中断请求都得不到响应。
3. 正在执行的是一条 RETI 或者访问专用寄存器 IE/IE1/IE2 或是 IP0/IP1/IP2/IP3 的指令。换言之，在 RETI 或者读写 IE/IE1/IE2 或是 IP0/IP1/IP2/IP3 之后，不会马上响应中断请求，而至少在执行一条其它指令之后才会响应。

中断服务程序ISR完成和该中断相应的一些操作。ISR以RETI（中断返回）指令结束，将PC值从栈中取回，并恢复原来的中断设置，之后从主程序的断点处继续执行。

当某中断被响应时，被装载到程序计数器PC中的数值称为中断向量，是该中断源相对应的中断服务程序的起始地址。各中断源服务程序的入口地址（即中断向量）明细可参照[中断汇总](#)。

由于中断向量入口地址位于程序存储器的开始部分，所以主程序的第1条指令通常为跳转指令，越过中断向量区（LJMP MAIN）。

需要注意的是，不能用RET指令代替RETI指令，RET指令虽然也能控制PC返回到原来中断的地方，但RET指令没有清零中断优先级状态触发器的功能，中断控制系统会认为中断仍在进行，其后果是与此同级或低级的中断请求将不被响应。

若用户在中断服务程序中进行了入栈操作，则在RETI指令执行前应进行相应的出栈操作，即在中断服务程序中PUSH指令与POP指令必须成对使用，否则不能正确返回断点。

注：凡是要求先修改高位再修改低位才有效的控制寄存器，在修改高位时，不会立即响应中断，必须在修改低位后或运行一条其它指令后才会响应中断。

8.6 中断响应时间

每一个中断的响应时间都不同，这取决于中断自身特点和发生中断时正在执行的指令。如果检测出

一个中断，这个中断的请求标志位就会被置起，内部电路会保持这个标志位，CPU会在第二个时钟周期产生中断。如果响应有效且条件允许，在下一个指令执行的时候硬件LCALL指令将调用请求中断的服务程序，否则中断被挂起。执行LCALL指令需要3个时钟周期。因此，从中断标志置位到开始执行中断服务程序至少需要5个时钟周期。

当中断请求因前述的三个情况受阻时，中断响应时间就会加长。如果同级或更高优先级的中断正在执行，额外的等待时间取决于正执行的中断服务程序的长度。

如果正在执行的指令还没有进行到最后一个周期，假如正在执行RETI指令，则完成正在执行的RETI指令，需要4个时钟周期，加上为完成下一条指令所需的最长时间4个时钟周期，若系统中只有一个中断源，再加上LCALL调用指令3个时钟周期，则最长的响应时间是13个时钟周期。

因此一个简单的中断系统响应时间，总是大于5个时钟周期并且不超过13个时钟周期。

8.7 外部中断

HC89F34x1C有3个外部中断向量入口。外部中断0~1分别有一个独立的中断向量入口，外部中断16、17共用一个中断向量入口，所有的中断都可以设定4种触发方式，分别为上升沿、下降沿、双沿及低电平。

当调用中断服务程序后，外部中断0~1标志会被硬件自动清0，但外部中断16、17标志必须软件清除。如果中断服务完成后而外部中断仍旧维持，则会产生下一次中断。

8.8 中断相关寄存器

8.8.1 中断允许寄存器 IE、IE1、IE2

IE

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	EA	-	EWDT	ES1	ET1	EX1	ET0	EX0

位编号	位符号	说明
7	EA	CPU 总中断允许控制位 0: 禁止 CPU 中断 1: 允许 CPU 中断
6	-	保留位
5	EWDT	WDT 中断允许位 0: 禁止 WDT 中断 1: 允许 WDT 中断
4	ES1	UART1 中断允许位 0: 禁止 UART1 中断 1: 允许 UART1 中断
3	ET1	T1 中断允许位 0: 禁止 T1 中断

		1: 允许 T1 中断
2	EX1	外部中断 1 中断允许位 0: 禁止 INT1 中断 1: 允许 INT1 中断
1	ET0	T0 中断允许位 0: 禁止 T0 中断 1: 允许 T0 中断
0	EX0	外部中断 0 中断允许位 0: 禁止 INT0 中断 1: 允许 INT0 中断

IE1

位编号	7	6	5	4	3	2	1	0
R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	EADC	ECTK	-	ET4	ET3	EIIC	ESPI

位编号	位符号	说明
7	-	-
6	EADC	A/D 转换完成中断允许位 0: 禁止 A/D 转换完成中断 1: 允许 A/D 转换完成中断
5	ECTK	电容检测中断允许位 0: 禁止电容检测中断 1: 允许电容检测中断
4	-	保留位
3	ET4	T4 中断允许位 0: 禁止 T4 中断 1: 允许 T4 中断
2	ET3	T3 中断允许位 0: 禁止 T3 中断 1: 允许 T3 中断
1	EIIC	IIC 中断允许位 0: 禁止 IIC 中断 1: 允许 IIC 中断
0	ESPI	SPI 中断允许位 0: 禁止 SPI 中断 1: 允许 SPI 中断

IE2

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-							EX16_17

位编号	位符号	说明
7-1	-	保留位，禁止写 1
0	EX16_17	外部中断 16、17 中断允许位 0：禁止 INT16、INT17 中断 1：允许 INT16、INT17 中断 注：INT16、INT17 共用同一中断向量

8.8.2 中断优先级选择寄存器 IP0、IP1、IP2、IP3

IP0

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PT1[1:0]		PX1[1:0]		PT0[1:0]		PX0[1:0]	

位编号	位符号	说明
7-6	PT1[1:0]	T1 中断优先级控制位
5-4	PX1[1:0]	INT1 中断优先级控制位
3-2	PT0[1:0]	T0 中断优先级控制位
1-0	PX0[1:0]	INT0 中断优先级控制位

IP1

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-				PWDT[1:0]		PS1[1:0]	

位编号	位符号	说明
7-4	-	保留位
3-2	PWDT[1:0]	WDT 中断优先级控制位
1-0	PS1[1:0]	UART1 中断优先级控制位

IP2

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PT4[1:0]		PT3[1:0]		PIIC[1:0]		PSPI[1:0]	
位编号	位符号		说明					
7-6	PT4[1:0]		T4 中断优先级控制位					
5-4	PT3[1:0]		T3 中断优先级控制位					
3-2	PIIC [1:0]		IIC 中断优先级控制位					
1-0	PSPI [1:0]		SPI 中断优先级控制位					

IP3

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PADC[1:0]		PCTK[1:0]		PX16_17[1:0]		PPWM [1:0]	

位编号	位符号	说明
7-6	PADC[1:0]	ADC 中断优先级控制位
5-4	PCTK[1:0]	CTK 中断优先级控制位
3-2	PX16_17[1:0]	INT16_17 中断优先级控制位
1-0	PPWM [1:0]	PWM0、3中断优先级控制位

中断优先级	
优先级控制位(x 为功能模块)	优先级
Px[1:0]	
00	优先级 0(最低)
01	优先级 1
10	优先级 2
11	优先级 3(最高)

8.8.3 外部中断电平选择寄存器 PITS0、PITS4

PITS0

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-				IT1[1:0]		IT0[1:0]	

PITS4

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-				IT17[1:0]		IT16[1:0]	

位编号	位符号	说明
7-4	-	保留位，禁止写 1
3-0	ITx[1:0] (x = 0、1、16、17)	外部中断触发沿选择位 00: 低电平中断或下降沿中断 01: 下降沿中断 10: 上升沿中断 11: 双沿中断

8.8.4 外部中断 16-17 使能控制寄存器 PINTE2

PINTE2

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-						EINT17	EINT16

位编号	位符号	说明
7-2	-	保留位
1-0	EINTx (x=16,17)	外部中断控制位(INT16~INT17) 0: 禁止该端口中断 1: 允许该端口中断 注: 只要相应的 EINTx(x=16,17)被允许, 对应的中断标志就可能被置 1, 反之, 对应标志不会被置 1。

8.8.5 外部中断标志寄存器 PINTF0、PINTF2

PINTF0

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-						INT1F	INT0F

位编号	位符号	说明
7-2	-	系统保留位
1-0	INTxF (x = 0,1)	INT0 和 INT1 中断请求标志位 0: 中断响应时硬件自动清 0, 或软件清 0 1: 符合外部中断时, 硬件置 1

PINTF2

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-						INT17F	INT16F

位编号	位符号	说明
7-2	-	保留位
1-0	INTxF (x =16,17)	INT16-INT17 中断请求标志位 0: 软件清 0 1: 符合外部中断时, 硬件置 1

9 定时器/计数器

9.1 定时器/计数器特性

- 定时器/计数器 T0&T1 是不完全兼容标准 8051，差异主要是在方式 0 的功能定义不同
- 定时器/计数器 T0&T1 支持 16 位自动重载

9.2 定时器/计数器 T_x(x = 0,1)

9.2.1 定时器/计数器 T_x(x = 0,1)的工作方式

每个定时器的两个数据寄存器（TH_x & TL_x (x = 0,1)）可作为一个 16 位寄存器来访问，它们由寄存器 TCON 和 TMOD 控制。IE0 寄存器的 ET0 和 ET1 位置 1 能允许定时器 0 和定时器 1 中断。（详见[中断](#)章节）。

通过计数器/定时器方式寄存器（TMOD）的方式选择位 M_x[1:0]，选择定时器工作方式。

M _x [1:0]	工作方式	描述
00	方式0	16位自动重载定时器/计数器
01	方式1	16 位定时器/计数器
10	方式2	8位自动重载定时器/计数器
11	方式3	T0分成两个（TL0/TH0）独立的8位定时器/计数器（T1无此模式）

9.2.1.1 方式0： 16位自动重载定时器/计数器

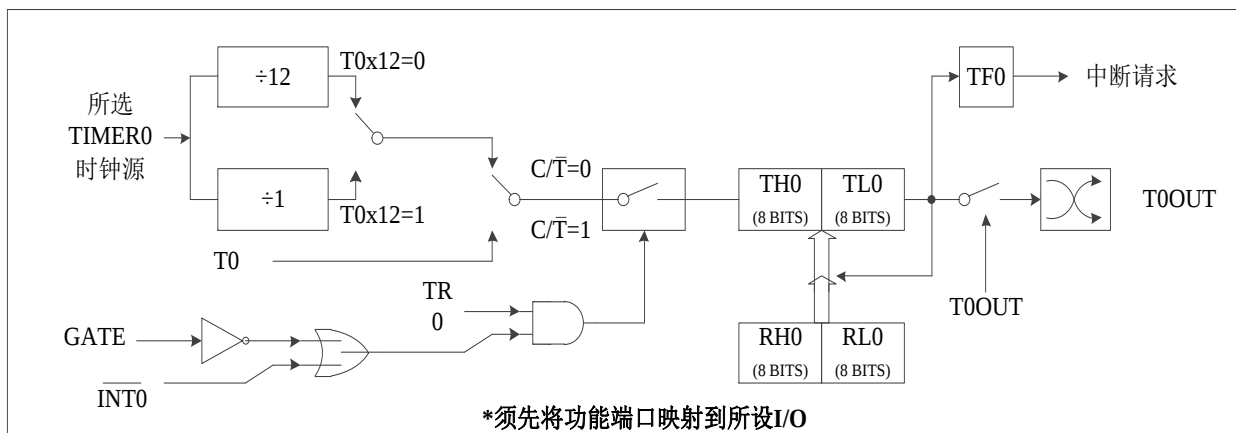


Figure 9-1 TIMER0 方式 0 功能框图

方式 0 与标准 8051 功能不兼容，在此方式下为 16 位自动重载定时器/计数器，当 TH_x 和 TL_x(x = 0,1)被写时，用作定时器重载寄存器，当被读时，被用作计数寄存器。TR_x(x = 0,1)为 0 时，按顺序写 TH_x 和 TL_x(x = 0,1)两个寄存器，写的值同时被写进重载寄存器和计数寄存器，TR_x(x = 0,1)置 1，计数寄存器开始从写的值递增计数，在计数到 0xFFFF 后，再来一个计数时钟，计数器就会发生溢出，此时 TF_x(x = 0,1)被置为 1，同时重载寄存器的 16 位数据被自动重载入计数寄存器中，计数器又开始从这个重载的数值递增计数。

在 $TRx(x=0,1)$ 为 1 时，对 THx & $TLx(x=0,1)$ 的写操作，不会影响计数器的值，只能改变重载寄存器的值，这个改变后的值在下次溢出时重载进计数寄存器中。只有 $TRx(x=0,1)$ 为 0 时，对 THx 和 $TLx(x=0,1)$ 的写操作，同时会改变计数寄存器和重载寄存器的值。

由于对 $TLx(x=0,1)$ 和 $THx(x=0,1)$ 的写操作需要 2 条指令才能完成，为保证精确计数，对 $THx(x=0,1)$ 和 $TLx(x=0,1)$ 寄存器的写操作都以对 $TLx(x=0,1)$ 寄存器的写操作作为基准。当写入重载寄存器时，写 $THx(x=0,1)$ 寄存器不会立即生效，而是暂存在一个缓冲寄存器中，只有对 $TLx(x=0,1)$ 寄存器的写操作才会使 $THx(x=0,1)$ 和 $TLx(x=0,1)$ 寄存器同时生效。

因此， $THx(x=0,1)$ 和 $TLx(x=0,1)$ 读写操作遵循以下顺序：

写操作：先高位后低位

读操作：先高位后低位

需要注意的是写操作时，当 $TRx(x=0,1)$ 为 0，先写高位再写低位，重载数据将直接重载到计数寄存器中，当 $TRx(x=0,1)$ 为 1，先写高位再写低位，重载数据只会在下次溢出时才会被重载到计数寄存器中。若先写低位再写高位，高位数据将无效（无效：表示发生重载时对应数据不能被更新），直到下次操作写入低位数据，前一次写高位的数据才会有效（有效表示发生重载时对应数据可以被更新）。若只写低位时，低位数据也将有效，例如对 T0 依次做如下操作时：

- (1) $TH0 = 0x05$;
- (2) $TL0 = 0x08$; //此时若发生重载，重载到计数器中的数据为 0x0508
- (3) $TH0 = 0x06$; //此时若发生重载，重载到计数器中的数据仍为 0x0508
- (4) $TL0 = 0x08$; //此时若发生重载，重载到计数器中的数据为 0x0608
- (5) $TL0 = 0x09$; //此时若发生重载，重载到计数器中的数据为 0x0609

显然只要修改重载数据，低位都必须再写入一次，建议每次修改同时修改。

注：方式 1、2、3 时无此要求。

9.2.1.2 方式1： 16位定时器/计数器

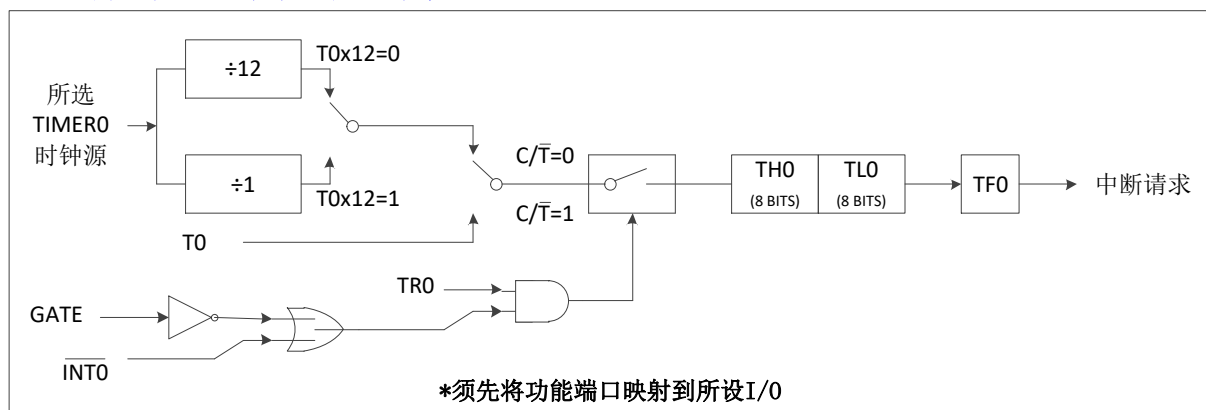


Figure 9-2 TIMER0 方式 1 功能框图

在方式1中，定时器 $Tx(x=0,1)$ 为16位计数器/定时器。 $THx(x=0,1)$ 寄存器存放16位计数器/定时器的高8位， $TLx(x=0,1)$ 存放低8位。当16位定时器寄存器递增溢出时，系统置起定时器溢出标志 $TFx(x=0,1)$ 。如果定时器 x 中断被允许，将会产生一个中断。

$C/\bar{T}x(x=0,1)$ 位选择计数器/定时器的功能，如果 $C/\bar{T}x(x=0,1) = 1$ ，将工作在外部分数模式，当出现定时器 $Tx(x=0,1)$ 外部计数时钟的下降沿时，将使定时器 Tx 数据寄存器加1。如果 $C/\bar{T}x(x=0,1) = 0$ ，选择系统时钟为定时器 $Tx(x=0,1)$ 的时钟源。

当 $GATEx(x=0,1) = 0$ 时， TRx 置1则打开定时器。

当 $GATEx(x=0,1) = 1$ 时，只有在外部输入信号 $INTx(x=0,1)$ 为高电平时 $TRx(x=0,1)$ 才会被置1，定

时器Tx才会计数，从而可测量INTx(x = 0,1)的正脉冲宽度。TRx(x = 0,1)位置1不强行复位定时器，这意味着如果TRx置1，定时器寄存器将从上次TRx(x = 0,1)清0时的值开始计数。所以在允许定时器之前，应该设定定时器寄存器的初始值。

9.2.1.3 方式2： 8位自动重载定时器/计数器

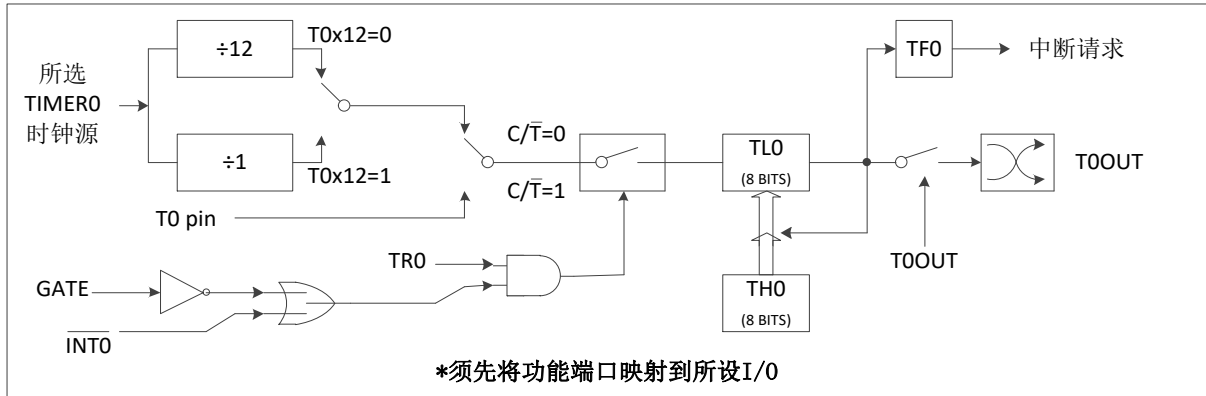


Figure 9-3 TIMER0 方式 2 功能框图

方式 2 中,定时器 Tx(x = 0,1)是 8 位自动重载计数器/定时器。TLx(x = 0,1)存放计数值,THx(x = 0,1)存放重载值。当在 TLx(x = 0,1)中的计数器递增至 0x00 时,置起定时器溢出标志 TFX(x = 0,1),寄存器 THx(x = 0,1)的值被重载入寄存器 TLx(x = 0,1)中。如果定时器中断使能,当 TFX(x = 0,1)置 1 时将产生一个中断。而在 THx(x = 0,1)中的重载值不会改变。在允许定时器正确计数开始之前,TLx(x = 0,1)必须初始化为所需的值。

除了自动重载功能外,方式 2 中的计数器/定时器的使能和配置与方式 1 和 0 是一致的。可配置寄存器 TCON2 中的 TxX12(x = 0,1)位选择系统时钟或系统时钟的 1/12 作为定时器 Tx(x = 0,1)的时钟源。当作为定时器应用时,可配置寄存器 TCON1 中的 TxOUT[1:0](x = 0,1)位使定时器 Tx(x = 0,1)溢出时 Tx(x = 0,1)脚自动翻转。

9.2.1.4 方式3： 两8位定时器/计数器(T1无此方式)

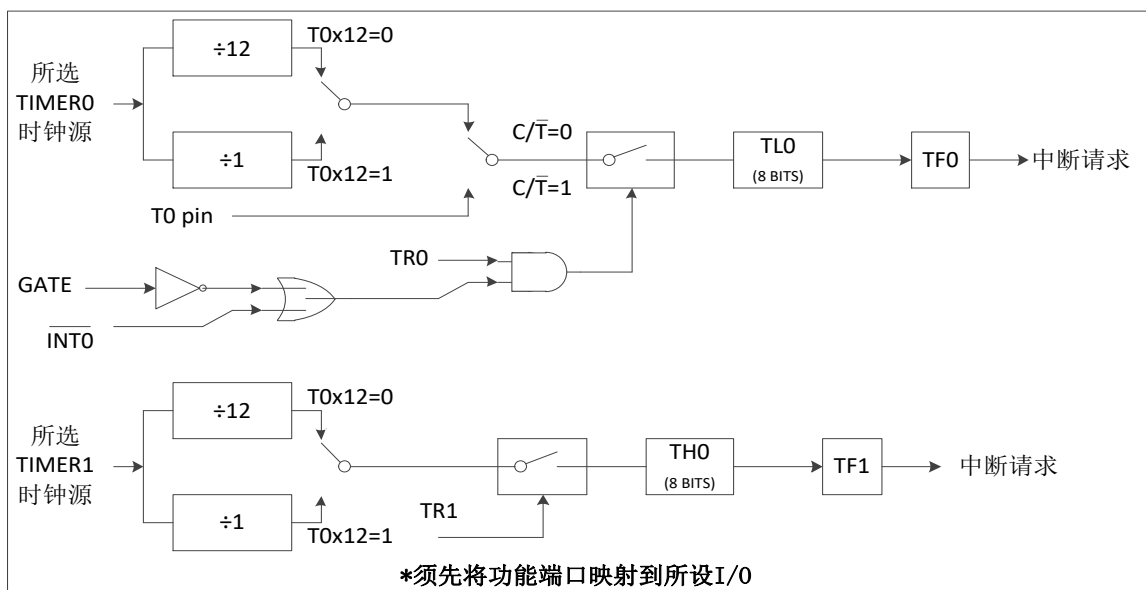


Figure 9-4 TIMER0 方式 3 功能框图

在方式3中,定时器T0用作两个独立的8位计数器/定时器,分别由TL0和TH0控制。TL0使用定时器

0的控制（在TCON中）和状态（在TMOD中）位：TR0, $\overline{C/T0}$, GATE0和TF0。TL0能用系统时钟或外部输入信号作为时钟源。

TH0只能用作定时器功能，时钟源来自系统时钟。TH0由定时器T1的控制位TR1控制使能，溢出时定时器T1溢出标志TF1置1，控制定时器T1中断。

定时器0工作在方式3时，定时器1可以工作在方式0、1或2，但是不能置TF1标志和产生中断。可以用来产生串口的波特率。TH1和TL1只能用作定时器功能，时钟源来自系统时钟，GATE1位无效。T1输入脚的上拉电阻也无效。定时器1由方式控制使能与否，因为TR1被定时器0占用。定时器1在方式0、1或2时使能，在方式3时被关闭。

可配置寄存器TCON1中的TxX12(x = 0,1)位选择系统时钟或系统时钟的1/12作为定时器Tx(x = 0,1)的时钟源。

当作为定时器应用时，可配置寄存器 TCON1 中的 T0OUT 位使定时器 T0 溢出时 T0 脚自动翻转。

9.2.2 定时器/计数器 Tx(x = 0,1)相关寄存器

9.2.2.1 定时器Tx(x = 0,1)控制寄存器 TCON、TCON1

TCON

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位符号	TF1	TR1	TF0	TR0	-	-	-	-

位编号	位符号	说明
7,5	TFx (x = 0,1)	Tx(x = 0,1)的溢出标志位 0: 中断响应时硬件自动清 0, 或软件清 0 1: 计数溢出时, 硬件置 1
6,4	TRx (x = 0,1)	Tx(x = 0,1)运行控制位 0: 停止 Tx 工作 1: 启动 Tx 工作
3-0	-	保留位

TCON1

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	-	T1OUT	T1X12	-	-	T0OUT	T0X12

位编号	位符号	说明
7,6,3,2	-	保留位（读为 0，写无效）
5,1	TxOUT (x = 0,1)	Tx(x = 0,1)比较输出功能允许位 0: 禁止定时器 Tx 比较输出功能 1: 允许定时器 Tx 比较输出功能
4,0	TxX12 (x = 0,1)	Tx(x = 0,1)定时器系统时钟源分频选择位 0: Tx 定时器时钟为 F _{osc} /12

1: Tx 定时器时钟为 F_{osc}

9.2.2.2 定时器Tx(x = 0,1)工作方式寄存器 TMOD

TMOD

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	GATE1	$\overline{C/T1}$	M1[1:0]		GATE0	$\overline{C/T0}$	M0[1:0]	

位编号	位符号	说明
7,3	GATE _x (x = 0,1)	Tx(x = 0,1)门控位 0: 只需软件置 TR _x 即可启动 Tx 1: 只有在 INT _x 端口电平为高电平时 TR _x 置 1, Tx 才工作
6,2	$\overline{C/Tx}$ (x = 0,1)	Tx(x = 0,1)定时/计数功能选择位 0: Tx 用于内部定时 1: Tx 用于外部计数
5-4 1-0	Mx[1:0] (x = 0,1)	Tx(x = 0,1)工作方式选择位 00: 方式 0 16 位重载定时器/计数器 01: 方式 1 16 位定时器/计数器 10: 方式 2 8 位自动重装初值定时器/计数器 11: 方式 3 T0 分成两个(TL0/TH0)独立的 8 位定时器/计数器; T1 停止计数 注: 方式 3 时 TH0 占用 T1 的 TR1、TF1 及中断源, 由于 TR1 被 TH0 占用, 此时需要关闭 T1 可将 T1 设为工作方式 3。

9.2.2.3 定时器Tx(x = 0,1)数据寄存器 TLx(x = 0,1)、THx(x = 0,1)

TLx (x = 0,1)

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TLx[7:0] (x = 0,1)							

位编号	位符号	说明
7-0	TLx[7:0] (x = 0,1)	Tx(x = 0,1)数据寄存器低字节

THx (x = 0,1)

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	THx[7:0] (x = 0,1)							

位编号	位符号	说明
7-0	THx[7:0]	Tx(x = 0,1)数据寄存器高字节

9.3 定时器/计数器 3

定时器 3 是 16 位自动重载定时器，通过两个数据寄存器 TH3 和 TL3 访问，由 T3CON 寄存器控制。IE1 寄存器的 ET3 位置 1 允许定时器 3 中断（详见[中断](#)章节）。

定时器 3 工作方式 16 位自动重载计数器/定时器。当 TH3 和 TL3 被写入数值时，用作定时器重载寄存器；当被读时，被用作计数寄存器。TR3 位置 1 启动定时器 3，且 T3 内部计数器开始递增计数，在 0xFFFF 到 0x0000 时发生溢出，溢出会置 TF3 位为 1，同时将重载寄存器（即 TH3，TL3）的 16 位数据重新载入 T3 内部计数器寄存器中。

在 TR3 为 1 时，对 TH3/TL3 的写操作，不会影响 T3 内部计数器的值，只会改变重载寄存器的值，这个改变后的值在下次溢出时会被重载进 T3 内部计数寄存器。只有 TR3 为 0 时，对 TH3/TL3 的写操作会同时改变 T3 内部计数寄存器和重载寄存器的值。

TH3 和 TL3 读写操作遵循以下顺序：先高位后低位。

当 T3CLKS[1:0] 为 01，T3 端口输入外部时钟，定时器 3 可以工作在普通模式或掉电模式。当 T3CLKS[1:0] 为 10，即定时器 3 的计数时钟源为外部 32.768KHz 低频晶振（外部低频晶振在掉电模式下不会关闭）时，此时定时器 3 也可以工作在普通模式或掉电模式。

当 T3PD_EN 为 1 且 T3CLKS[1:0] 为 01 或 10 时，T3 可工作在掉电模式下。当 T3 内部计数器从 0xFFFF 到 0x0000 时发生溢出时，会将芯片从掉电模式唤醒。如果中断允许的话，唤醒后的芯片会进入定时器 3 中断。

注：在读 TH3 和 TL3 时，要确保 TR3 = 0（当 TR=1 时，由于正在计数，读出的 TH3 和 TL3 不准）。

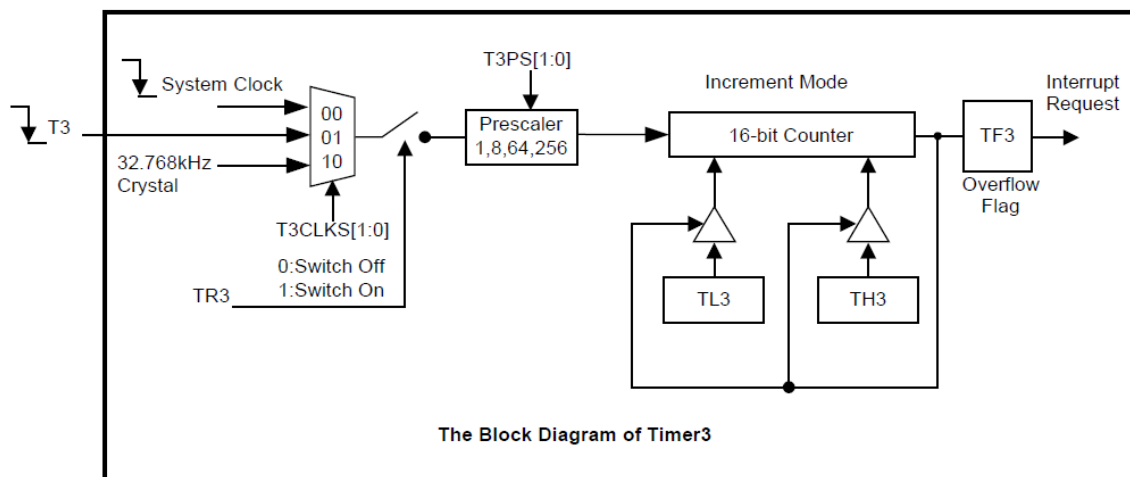


Figure 9-5 TIMER3 功能框图

9.3.1 定时器/计数器 T3 相关寄存器

9.3.1.1 定时器T3控制寄存器 T3CON

T3CON

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TF3	T3PD_EN	T3PS[1:0]		-	TR3	T3CLKS[1:0]	

位编号	位符号	说明
7	TF3	定时器 3 溢出标志位 0: 无溢出（硬件清 0）软件也可以清 0 1: 溢出（硬件置 1）
6	T3PD_EN	定时器 3 在掉电模式下运行控制位 0: 掉电模式下禁止定时器 3 工作 1: 掉电模式下允许定时器 3 工作，此时 T3CLKS[1:0]为 01 或 10 注：外部晶振使能位 XTALEN 为 1，晶振选择低频晶振，而且配置掉电模式下允许定时器 3 工作，T3CLKS[1:0]为 10 时，如果 EA=1 且 ET3=1 时，定时器 3 溢出后会唤醒系统，并执行定时器 3 的中断程序。
5-4	T3PS[1:0]	定时器 3 时钟源预分频比选择位 00: 1/1 01: 1/8 10: 1/64 11: 1/256
3	-	保留位
2	TR3	定时器 3 允许控制位 0: 禁止定时器 3 1: 启动定时器 3
1-0	T3CLKS[1:0]	定时器 3 计数时钟来源选择位 00: 系统时钟 F _{osc} 01: T3 端口输入外部时钟 10: 外部 32.768KHz 晶体振荡器 11: 保留（系统时钟 F _{osc} ）

9.3.1.2 定时器T3数据寄存器 TL3、TH3

TL3

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TL3							

位编号	位符号	说明
7-0	TL3	T3 数据寄存器低字节

TH3

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TH3							

位编号	位符号	说明
7-0	TH3	T3 数据寄存器高字节

9.4 定时器/计数器 4

定时器 4 是 16 位自动重载定时器。两个数据寄存器 TH4 和 TL4 可作为一个 16 位寄存器来访问，由 T4CON 寄存器控制。IE1 寄存器的 ET4 位置 1 允许定时器 4 中断（详见[中断](#)章节）。

当 TH4 和 TL4 数据寄存器被写时，用作定时器重载寄存器；当被读时，用做计数寄存器。TR4 位置 1 使定时器 4 内部 16 位计数器开始递增计数。内部 16 位计数器在 0xFFFF 到 0x0000 溢出时置 TF4 位为 1。溢出同时，定时器重载寄存器的 16 位数据重新载入内部 16 位计数器中。

TH4 和 TL4 读写操作遵循以下顺序：先高位后低位。

9.4.1 定时器/计数器 T4 的工作方式

定时器 4 有三种工作方式：16 位自动重载定时器，串口波特率发生器和有 T4 边沿触发的 16 位自动重载定时器。这些方式通过 T4CON 寄存器的 T4M[1:0]设置。

9.4.1.1 方式0: 16位自动重载定时器/计数器

TH4 寄存器存放 16 位计数器/定时器高 8 位，TL4 存放低 8 位。TR4 为 0 时，按顺序写 TH4 和 TL4 两个寄存器，写的值同时被写进重载寄存器和内部 16 位计数器；TR4 置 1，内部 16 位计数器开始从写的值递增计数，在 0xFFFF 到 0x0000 时发生溢出，此时 TF4 被置为 1。同时重载寄存器的 16 位数据被自动重载入内部 16 位计数器中，内部 16 位计数器又开始从这个重载的数值递增计数，如果允许定时器 4 中断则产生中断。

在 TR4 为 1 时，对 TH4 和 TL4 的写操作，不会影响内部 16 位计数器的值，只能改变重载寄存器的值，这个改变后的值在下一次溢出时重载进内部 16 位计数器中。只有 TR4 为 0 时，对 TH4 和 TL4 的写操作会同时会改变内部 16 位计数器和重载寄存器的值。

T4CON.0 寄存器的 T4CLKS 位选择时钟源。当 T4CLKS = 1 时，定时器 4 的时钟源为外部时钟；

当 T4CLKS = 0，定时器 4 的时钟源为系统时钟。

在比较方式中，需要软件将 T4 端口设为输出。定时器 4 从 TH4 和 TL4 预设值开始向 0xFFFF 计数，当计数器溢出时，T4 端口输出电平翻转，同时定时器 4 中断标志位被置 1。在比较方式中，定时器 4 必须工作在定时方式（T4CLKS = 0）。

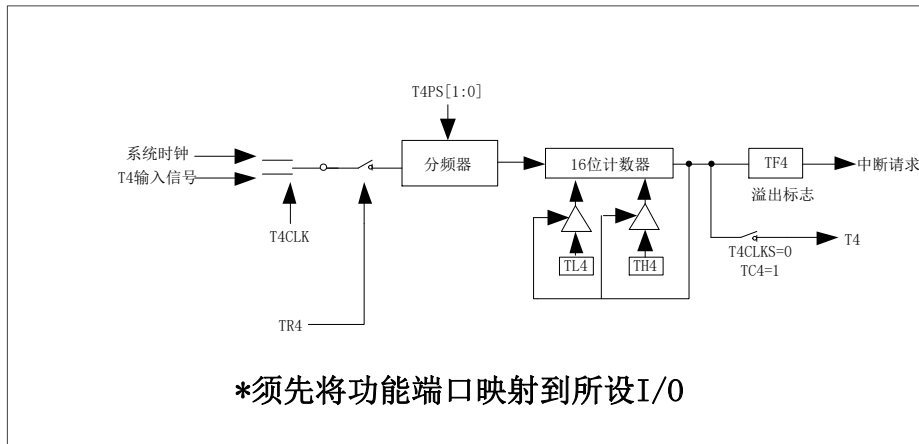


Figure 9-6 TIMER4 方式 0 功能框图

9.4.1.2 方式1: UART1波特率发生器

通过设置 T4CON 寄存器中的 T4M[1:0]为 01 选择定时器 4 作为波特率发生器。该方式与自动重载方式相似。定时器 4 的溢出会引起软件将定时器 4 重载寄存器中的 16 位值载入定时器 4 的内部 16 位计数器中，此时也会产生溢出中断。如果不希望中断发生，可以关闭 ET4。UART1 方式 1 和 3 的波特率由下列公式计算：

$$\text{BaudRate} = \frac{1}{16} \times \frac{f_{T4}/\text{PRESCALER}}{65536 - [\text{TH4}, \text{TL4}]}, \text{ 用定时器 4 作为波特率发生器。}$$

上式中，TH4 和 TL4 为定时器 4 数据寄存器。

9.4.1.3 方式2/3:带边沿触发的16位自动重载定时器

定时器 4 在方式 2/3 为 16 位自动重载定时器。T4CON.0 寄存器的 T4CLKS 位一直为 0，定时器 4 只能选择系统时钟为时钟源，其余设置与方式 0 一致。

方式 2 中，当 TR4 位置 1 后，定时器 4 等待 T4 端口的触发信号（由 T4M[1:0]控制上升/下降沿），一个有效的触发信号使定时器 4 开始运行。当定时器 4 内部 16 位计数器从 0xFFFF 到 0x0000 溢出时，TF4（T4CON.7）会被置起，如定时器 4 的中断使能，将产生定时器 4 中断。溢出同时，定时器重载寄存器的 16 位数据被重新载入内部 16 位计数器 TH4 和 TL4 中，定时器 4 将保持状态并等待下一个触发沿。

如果 TC4 = 0，在定时器 4 计数时，一个触发信号不会中止内部 16 位计数器的计数，内部 16 位计数器溢出后进行重载并保持状态，等待下一个有效触发信号；

如果 TC4 = 1，在定时器 4 计数时，一个触发信号会使重载寄存器的 16 位数据被重新载入内部 16 位计数器 TH4 和 TL4 中，并开始计数，但不会产生中断，内部 16 位计数器溢出后才会产生中断。

TR4 置 1 不清定时器 4 的内部 16 位计数器，在允许定时器之前应该把希望的初始化值写入重载寄存器。

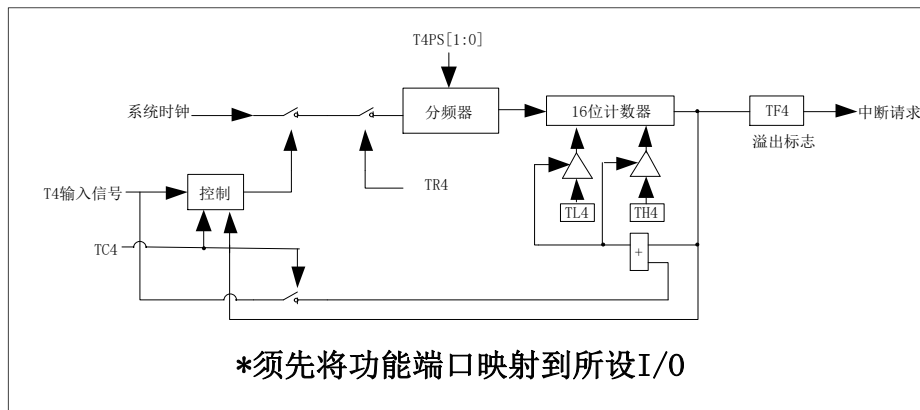


Figure 9-7 TIMER4 方式 2/3 功能框图

注：

- (1) 当定时器 4 在波特率发生器方式下作为定时器工作时 ($TR4 = 1$)，TH4 或 TL4 不能读取或写入。因为定时器在每个状态时间递增，可能导致读取或写入的结果不精确。因此，在访问 TH4/TL4 寄存器之前，定时器 4 必须被关闭 ($TR4 = 0$)。
- (2) 当定时器 4 用作计数器时，T4 引脚的输入信号频率要小于 T4 时钟源的一半。

9.4.2 定时器/计数器 T4 相关寄存器

9.4.2.1 定时器T4控制寄存器 T4CON

T4CON

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TF4	TC4	T4PS[1:0]		T4M[1:0]		TR4	T4CLKS

位编号	位符号	说明
7	TF4	定时器 4 溢出标志位 0: 无溢出（硬件清 0）软件也可以清 0 1: 溢出（硬件置 1）
6	TC4	比较功能允许位 当 T4M[1:0] = 00 或 01 0: 禁止定时器 4 比较功能 1: 允许定时器 4 比较功能 当 T4M[1:0] = 10 或 11 0: 定时器 4 不能被再触发 1: 定时器 4 可以被再触发
5-4	T4PS[1:0]	定时器 4 预分频比选择位 00: 1/1 01: 1/8 10: 1/64 11: 1/256
3-2	T4M[1:0]	定时器 4 方式选择位 00: 方式 0, 16 位自动重载定时器 01: 方式 1, UART1 波特率发生器 10: 方式 2, T4 端口上升沿触发（只用系统时钟, T4CLKS 无效） 11: 方式 3, T4 端口下降沿触发（只用系统时钟, T4CLKS 无效）
1	TR4	定时器 4 允许控制位 0: 禁止定时器 4 1: 允许定时器 4
0	T4CLKS	定时器 4 计数时钟来源选择位 0: 系统时钟 F _{osc} 1: T4 端口输入外部时钟

9.4.2.2 定时器T4数据寄存器 TL4、TH4

TL4

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TL4							

位编号	位符号	说明
7-0	TL4	T4 数据寄存器低字节

TH4

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	TH4							

位编号	位符号	说明
7-0	TH4	T4 数据寄存器高字节

10 脉宽调制PWM

10.1 PWM 特性

- 1 组带死区互补 PWM 或 2 路独立 PWM 输出
- 提供每个 PWM 周期溢出中断
- 输出极性可选择
- 提供出错侦测功能可紧急关闭 PWM 输出
- PWM 工作时钟源可设定时钟分频比
- PWM 可做定时器/计数器使用

HC89F34x1C 集成了 1 组 12 位 PWM 模块 PWM0, PWM0 的计数器由 PWM0_EN 和 PWM01_EN 来控制, 只要使能 PWM0_EN 和 PWM01_EN 中的任何一个, 计数器就会启动, 计数器的时钟源通过 PWM0C 控制寄存器里的 CK0 来选择。

当需要从芯片管脚输出 PWM 波形时, 还需要将端口设置为输出模式, 同时需要设置复用端口映射寄存器, 将 PWM 映射到相应的端口上。如果不希望从芯片管脚上输出 PWM 波形, 可以不用设置端口模式和复用端口映射寄存器, 这时候 PWM 的计数器可以当一个定时器来使用, 当计数器溢出时, 如果中断允许也会产生 PWM 中断。

如果 EFLT0 置 1, PWM0 输出和其互补输出可由 FLT0 引脚输入信号变化自动关闭。一旦检测到 FLT0 引脚输入有效电平, PWM 输出会立即关闭, 但 PWM 内部计数器仍在继续运行, 这样方便在 FLT0 引脚错误去除后继续 PWM 输出。在 FLT0 输入信号有效期间, FLT0S 位无法清除。只有当 FLT0 输入信号消失后, 才能软件清除 FLT0S 状态位, 此时 PWM 恢复正常输出。

10.2 PWM 输出模式

1 组 PWM0 输出为 PWM0/PWM01，通过控制相关寄存器可使每对 PWM 输出配置成互补输出模式或独立输出模式。

10.2.1 互补输出模式

当 PWM0M 置 0：PWM0 将工作在互补输出模式，互补输出模式时，需要使能 PWM0_OEN 和 PWM01_OEN，此时可以控制对应的周期寄存器、占空比寄存器及死区时间寄存器，从而控制互补波形的输出。互补输出时可选择 PWM0&PWM01 输出极性，方便用户各种电平驱动需求。

10.2.2 独立输出模式

当 PWM0M 置 1：PWM0 将工作在独立输出模式，独立输出模式时，可以控制相关寄存器使能对应 PWM 端口单一输出或同时输出，同时让 PWM0&PWM01 输出时，其周期相同但占空比可单独设置。此时互补输出模式时占空比寄存器将控制 PWM0 的占空比，死区时间控制寄存器将控制 PWM01 的占空比，独立输出时也可控制 PWM0&PWM01 输出极性，方便用户各种电平驱动需求。

10.3 PWM 相关寄存器

10.3.1 PWM 使能寄存器 PWMEN

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R/W	R	R	R	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	-	-	PWM01EN	-	-	-	PWM0EN

位编号	位符号	说明
7-5	-	保留位
4	PWM01EN	PWM01 使能位 0: 禁止 PWM01 1: 使能PWM01
3-1	-	保留位
0	PWM0EN	PWM0 使能位 0: 禁止 PWM0 1: 使能PWM0

10.3.2 FLT 模式寄存器 FLTMODE

位编号	7	6	5	4	3	2	1	0
R/W	R	R/W	R	R	R	R	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	EFLT0	-				FLT0_MODE	

位编号	位符号	说明
7	-	保留位
6	EFLT0	PWM0 FLT0 控制引脚使能位 0: 禁止故障检测, GPIO 功能或其它功能 1: 允许故障检测, PWM0 故障检测输入引脚 注: 互补输出模式及独立输出模式都可受故障检测脚控制
5-2	-	保留位
1-0	FLT0_MODE	PWM0 故障输出预定状态选择位 00: PWM0&PWM01故障期间均为低电平 01: PWM0故障期间低电平, PWM01故障期间高电平 10: PWM0故障期间高电平, PWM01故障期间低电平 11: PWM0&PWM01故障期间均为高电平

10.3.3 PWM 模式寄存器 PWMM

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R/W	R	R	R	R/W
复位值	0	0	0	0	0	1	1	1
位符号	-			PWM0M	-			RELOAD0

位编号	位符号	说明
7-5	-	保留位
4	PWM0M	PWM0 工作模式选择位 0: PWM0&PWM01 工作于互补输出模式 1: PWM0&PWM01 工作于独立输出模式 注: 修改 PWM0 工作模式时建议先关闭 PWM0 模块
3-1	-	保留
0	RELOAD0	PWM0 自动重载使能位 0: 禁止自动重载 1: 使能自动重载 注: 默认值为 1, 默认状态下修改周期、占空比、死区等参数后, 参数会自动重载, 并在下一个 PWM 周期使用这些参数。 在修改周期、占空比、死区等参数前设置此位为 0 将禁止自动重载, PWM 不会使用任何新的参数, 输出状态保持不变, 在软件修改参数完成, 再设置此位为 1, 新修改的参数将在下一个 PWM 周期统一使用。

10.3.4 PWM0 相关寄存器

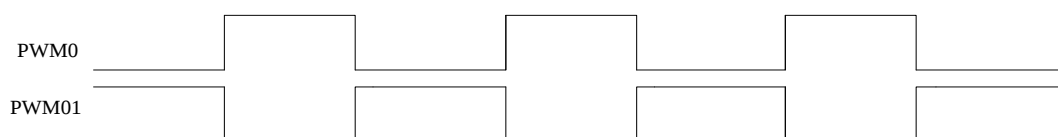
10.3.4.1 PWM0 控制寄存器 PWM0C

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM0IE	PWM0IF	FLT0S	FLT0C	PWM0S		CK0	

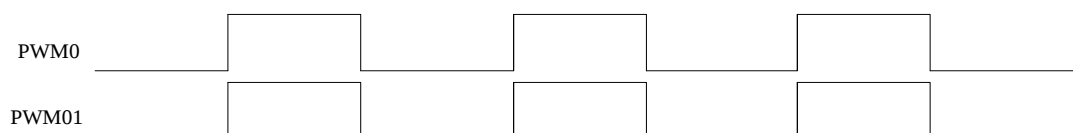
位编号	位符号	说明
7	PWM0IE	PWM0 中断允许位 0: 禁止 PWM0 中断 1: 允许 PWM0 中断
6	PWM0IF	PWM0 中断标志位 0: 软件清 0 1: PWM0 周期计数器溢出, 由硬件置 1
5	FLT0S	PWM0 FLT 状态位 0: PWM 正常状态, 软件清 0 1: PWM 输出关闭, 硬件置 1

4	FLT0C	PWM0 FLT 引脚配置位 0: FLT0 为低电平时, PWM 输出关闭 1: FLT0 为高电平时, PWM 输出关闭
3-2	PWM0S	PWM0 和 PWM01 输出模式选择位 00: PWM0和PWM01均为高有效 01: PWM0为高有效, PWM01为低有效 10: PWM0为低有效, PWM01为高有效 11: PWM0 和 PWM01 均为低有效 注: 对于独立模式, 输出模式选择位同样有效, 但与互补模式不同的是: 有效期间为占空比期间; 而互补模式中对于 PWM0 的有效期间为占空比期间, PWM01 的有效期间为占空比的互补期间。
1-0	CK0	PWM0 时钟源选择位 00: $F_{osc}/1$ 01: $F_{osc}/8$ 10: $F_{osc}/32$ 11: $F_{osc}/128$

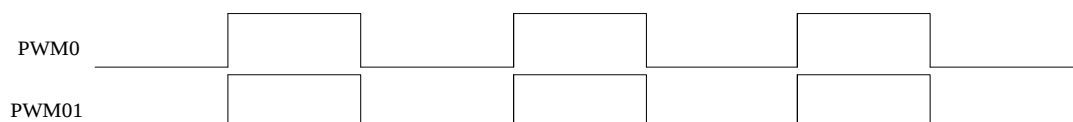
PWM0S=00& PWM0M=0: PWM0和PWM01工作于互补模式且均为高有效



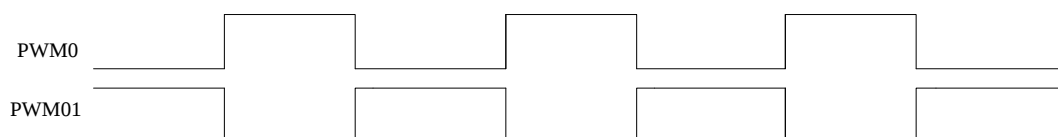
PWM0S=00& PWM0M=1: PWM0和PWM01工作于独立模式且均为高有效



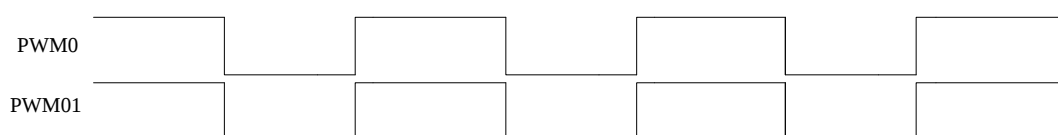
PWM0S=01& PWM0M=0: PWM0和PWM01工作于互补模式且PWM0为高有效、PWM01为低有效



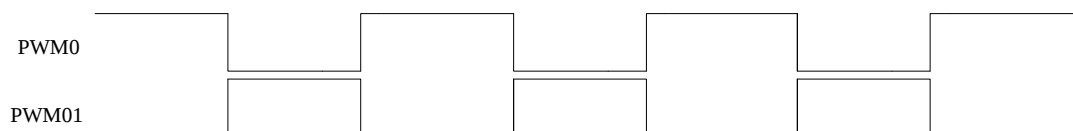
PWM0S=01& PWM0M=1: PWM0和PWM01工作于独立模式且PWM0为高有效、PWM01为低有效



PWM0S=10& PWM0M=0: PWM0和PWM01工作于互补模式且PWM0为低有效、PWM01为高有效



PWM0S=10& PWM0M=1: PWM0和PWM01工作于独立模式且PWM0为低有效、PWM01为高有效



10.3.4.2 PWM0周期寄存器PWM0PL、PWM0PH

PWM0PL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM0PL[7:0]							

位编号	位符号	说明
7-0	PWM0PL[7:0]	PWM0 周期寄存器低 8 位

PWM0PH

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	-	-	-	PWM0PH[3:0]			

位编号	位符号	说明
7-4	-	保留位（读为 0，写无效）
3-0	PWM0PH[3:0]	PWM0 周期寄存器高 4 位

注：修改PWM0周期时先修改高位，后修改低位，读时不受限制，例如

- (1) PWM0PH = 0x05;
- (2) PWM0PL = 0x08; //此时 PWM 计数器溢出，则下一个周期开始周期计算数据为 0x0508
- (3) PWM0PH = 0x06; //此时 PWM 计数器溢出，则下一个周期开始周期计算数据为 0x0508
- (4) PWM0PL = 0x08; //此时 PWM 计数器溢出，则下一个周期开始周期计算数据为 0x0608
- (5) PWM0PL = 0x09; //此时 PWM 计数器溢出，则下一个周期开始周期计算数据为 0x0609

显然只要修改 PWM 周期，无论低位寄存器是否需要修改，低位都必须写入一次，且周期修改都只会在下一个 PWM 周期才会生效。

$PWM0周期 = [PWM0PH : PWM0PL] * PWM0工作时钟源周期$

10.3.4.3 PWM0占空比寄存器PWM0DL、PWM0DH

PWM0DL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM0DL[7:0]							

位编号	位符号	说明
7-0	PWM0DL[7:0]	PWM0 占空比寄存器低 8 位

PWM0DH

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	-	-	-	PWM0DH[3:0]			

位编号	位符号	说明
7-4	-	保留位（读为 0，写无效）
3-0	PWM0DH[3:0]	PWM0 占空比寄存器高 4 位

注：修改 PWM0 占空比寄存器，操作类似修改 PWM0 周期寄存器，都是必须先修改高位后修改低位，且修改都在下一个周期才有效。

$PWM0 \text{ 占空比} = [PWM0DH : PWM0DL] * PWM0 \text{ 工作时钟周期}$

10.3.4.4 PWM0死区时间寄存器PWM0DTL、PWM0DH

PWM0DTL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM0DTL[7:0]							

位编号	位符号	说明
7-0	PWM0DTL[7:0]	PWM0 死区时间寄存器低 8 位

PWM0DTH

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	-	-	-	-	PWM0DTH[3:0]			

位编号	位符号	说明
7-4	-	保留位（读为 0，写无效）
3-0	PWM0DTH[3:0]	PWM0 死区时间寄存器高 4 位

当 PWM0_M=1 时，PWM0 工作在 2 路独立模式，此时的死区时间寄存器被用来当做 PWM01 的占空比寄存器，即独立模式的 PWM0 可以产生 2 路周期相同，但占空比可以不同的 PWM 波形。

互补模式下： $PWM0 \text{ 死区时间} = [PWM0DTH : PWM0DTL] * PWM0 \text{ 工作时钟周期}$

互补模式下：死区时间必须小于占空比时间，死区时间与占空比时间的和必须小于 PWM0 周期

独立模式下： $PWM01 \text{ 占空比时间} = [PWM0DTH : PWM0DTL] * PWM0 \text{ 工作时钟周期}$

11 单路8位PWM模块

11.1 PWM 特性

- 8 位 PWM 输出
- 提供 PWM 周期溢出中断
- 输出极性可选择
- PWM 可做定时器/计数器使用，即周期寄存器写入时做定时器使用，读时做计数器使用

11.2 PWM 模块相关寄存器

11.2.1 PWM3 控制寄存器 PWM3C

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM3EN	PWM3IE	PWM3IF	PWM3OEN	PWM3S	PTCK3[2:0]		

位编号	位符号	说明
7	PWM3EN	PWM3 模块使能控制位 0: 关闭 PWM3 模块 1: 打开 PWM3 模块（重新计数） 注：关闭时，PWM 计数停止，输出立即关闭。 打开时，PWM 计数器都重新从 1 开始计数，输出受 PWM3OEN 控制。
6	PWM3IE	PWM3 中断允许位 0: 禁止 PWM3 中断 1: 允许 PWM3 中断
5	PWM3IF	PWM3 中断标志位 0: 软件清 0 1: 硬件置 1，仅在 PWM3 计数器溢出（大于 PWM3P 时）才置 1
4	PWM3OEN	PWM3 输出使能位 0: PWM3 禁止输出 1: PWM3 允许输出 注：PWM 允许输出，必须在 PWM3EN 置 1 下才有效，否则 PWM 不能输出（输出时对应端口必须设为输出模式）；如果 PWM3OEN 为 0，但 PWM3EN 为 1，此时 PWM 可以作为定时器使用，可以正常产生 PWM 中断。
3	PWM3S	PWM3 输出极性选择位 0: PWM3 有效期间为高电平 1: PWM3 有效期间为低电平 注：修改此控制位，立即生效，有效期间是指占空比期间

2-0	PTCK3[2:0]	PWM3 工作时钟源选择位 000: $F_{osc}/1$ 001: $F_{osc}/2$ 010: $F_{osc}/4$ 011: $F_{osc}/8$ 100: $F_{osc}/16$ 101: $F_{osc}/32$ 110: $F_{osc}/64$ 111: $F_{osc}/128$ 注：修改此控制位，立即生效，不建议在输出过程中修改。
-----	------------	---

11.2.2 PWM3 周期寄存器 PWM3P

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM3P[7:0]							

位编号	位符号	说明
7-0	PWM3P[7:0]	PWM3P 周期寄存器

11.2.3 PWM3D 占空比寄存器 PWM3D

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	PWM3D[7:0]							

位编号	位符号	说明
7-0	PWM3D[7:0]	PWM3D 占空比寄存器 $PWM3P \leq PWM3D$ 时，占空比 100% $PWM3D = 0X00$ 时，占空比 0%

12 看门狗定时器WDT

12.1 WDT 特性

- 通过 OPTION 配置 WDT 复位功能是否关闭
- 可配置为 WDT 中断唤醒掉电模式
- 可配置在空闲/掉电模式下是否允许运行
- 可灵活配置溢出时间

HC89F34x1C看门狗定时器是一个递增计数器，其时钟源为独立的内部低频RC时钟（44KHz），可以通过寄存器选择在空闲/掉电模式下是否运行。WDT溢出时，芯片是否复位可通过OPTION来配置，如果复位使能打开，则WDT溢出时会复位系统，如果复位使能关闭，而且WDT的中断使能，则会产生WDT中断。

HC89F34x1C看门狗定时器溢出后有溢出标志，复位有专用的复位标志，可设分频，可设计数溢出值，清WDT操作只需置相应控制位即可，操作灵活。

12.2 WDT 相关寄存器

12.2.1 WDT 控制寄存器 WDTC

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R/W	W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	1	1	1	1
位符号	-	-	WDTF	WDTCLR	WDTPD	WDTPS[2:0]		

位编号	位符号	说明
7-6	-	保留位
5	WDTF	WDT 中断请求标志位 0: 无 WDT 计数溢出，中断响应时需要软件清 0 1: WDT 计数溢出，WDTF 硬件置 1，可用于中断请求
4	WDTCLR	看门狗清零位 置 1 会清零 WDT 计数器，硬件自动清 0 该位
3	WDTPD	WDT 空闲/掉电模式下运行控制位 0: 空闲/掉电模式下允许 WDT 运行 如果 OPTION 复位使能打开则会通过复位唤醒系统； 如果 OPTION 复位使能关闭，而且 EA=1，EWDT=1，会中断唤醒系统； 1: 空闲/掉电模式下禁止WDT运行
2-0	WDTPS[2:0]	看门狗定时器时钟源分频选择位 000: /8 001: /16

		010: /32 011: /64 100: /128 101: /256 110: /512 111: /1024
--	--	---

12.2.2 WDT 计数比较寄存器 WDTCCR

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1
位符号	WDTCCR[7:0]							

位编号	位符号	说明
7-0	WDTCCR[7:0]	WDT 计数比较寄存器 注：WDT 计数器与 WDTCCR[7:0]匹配时，溢出并且计数器清 0 重新计数。

下面以 44KHz 为例进行计算溢出时间=(WDT 分频系数* (WDTCCR[7:0]+1))/内部低频 RC 频率。
WDTCCR[7:0] = 0xFF 看门狗溢出时间如下表。

PS2	PS1	PS0	WDT分频系数	调整步进值	WDT最大溢出时间@44K
0	0	0	8	0.182ms	46.55ms
0	0	1	16	0.364ms	93.09ms
0	1	0	32	0.728ms	186.18ms
0	1	1	64	1.456ms	372.36ms
1	0	0	128	2.912ms	744.73ms
1	0	1	256	5.824ms	1489.45ms
1	1	0	512	11.648ms	2978.91ms
1	1	1	1024	23.296ms	5957.82ms

13 通用异步收发器UART1

13.1 UART1 特性

- 四种工作方式
- 增加帧错误，接收溢出及写冲突检测
- 增加地址自动识别

13.2 工作方式

UART1有4种工作方式，在四种方式中，任何将SBUF作为目标寄存器的写操作都会启动发送。在方式0中由条件RI = 0和REN = 1初始化接收。这会在TXD引脚上产生一个时钟信号，然后在RXD引脚上移出8位数据。在其它方式中由输入的起始位初始化接收（如果RI = 0和REN = 1）。外部发送器通信以发送起始位开始。在发送之前TXD引脚必须被设置为输出高电平。

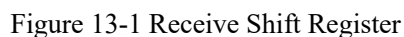
SM0	SM1	工作方式	类型	波特率
0	0	方式0	同步	波特率是 $F_{osc}/12 \times 6^{UX6}$
0	1	方式1	异步	定时器4的溢出率/16
1	0	方式2	异步	$(2^{SMOD}/64) \times F_{osc}$
1	1	方式3	异步	定时器4的溢出率/16

13.2.1 方式0：同步半双工通讯

方式0支持与外部设备的同步通信，在RXD引脚上收发串行数据，TXD引脚发送移位时钟。HC89F34x1C提供TXD引脚上的移位时钟，因此这种方式是串行通信的半双工方式。在这个方式中，每帧收发8位，低位先接收或发送。

通过置UX6位为0或1，波特率固定为 F_{osc} 的1/12或1/2。当UX6位等于0时，串行端口以 F_{osc} 的1/12运行，当UX6位等于1时，串行端口以 F_{osc} 的1/2运行。与标准8051唯一不同的是，HC89F34x1C在方式0中有可变波特率。

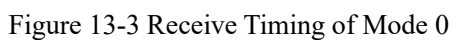
功能块框图如下图所示，数据通过RXD引脚移入和移出串行端口，移位时钟由TXD引脚输出。



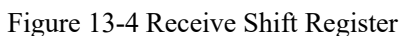
任何将 **SBUF** 作为目标寄存器的写操作都会启动发送。下一个系统时钟 **TX** 控制块开始发送。数据转换发生在移位时钟的下降沿，移位寄存器的内容逐次从左往右移位，空位置 **0**。当移位寄存器中的所有 **8** 位都发送后，**TX** 控制模块停止发送操作，然后在下一个系统时钟的上升沿将 **TI** 位置 **1**。



REN 位置 1 和 RI 位清 0 初始化接收。下一个系统时钟启动接收，在移位时钟的上升沿锁存数据，接收转换寄存器的内容逐次向左移位。当所有 8 位数据都移到移位寄存器中后，RX 控制块停止接收，在下一个系统时钟的上升沿 RI 置位，直到被软件清零才允许下一次接收。



方式 1 提供 10 位全双工异步通信，10 位由一个起始位（逻辑 0），8 个数据位（低位在前）和一个停止位（逻辑 1）组成。在接收时，这 8 个数据位存储在 SBUF 中而停止位储存在 RB8 中。方式 1 中的波特率固定为定时器 4 溢出率的 1/16。功能块框图如下图所示。



87

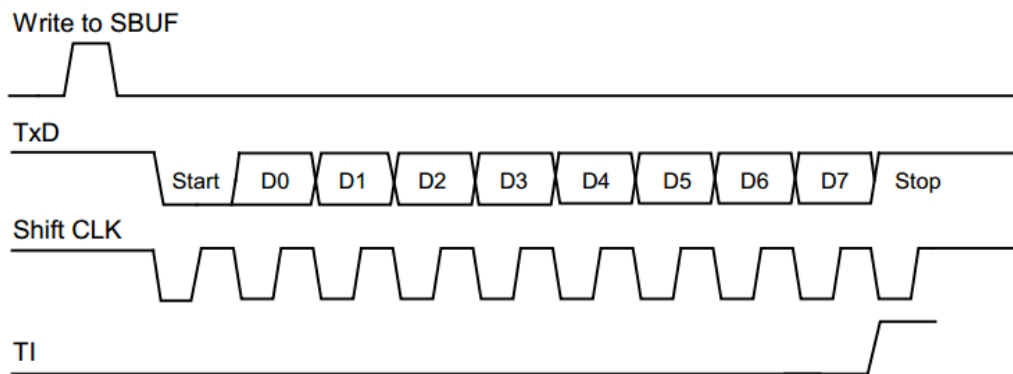


Figure 13-5 Send Timing of Mode 1

只有REN置1时才允许接收。当RXD引脚检测到下降沿时串行口开始接收串行数据。为此，CPU对RXD不断采样，采样速率为波特率的16倍。当检测下降沿时，16分频计数器立即复位，这有助于16分频计数器与RXD引脚上的串行数据位同步。16分频计数器把每一位的时间分为16个状态，在第7、8、9状态时，位检测器对RXD端的电平进行采样。为抑制噪声，在这3个状态采样中至少有2次采样值一致数据才被接收。如果所接收的第一位不是0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待RXD引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。8个数据位和1个停止位（包含错误的停止位，详细见寄存器SM2位说明）移入之后，移位寄存器的内容和停止位(包含错误的停止位)被分别装入SBUF和RB8中，RI置1，但必须满足下列条件：

- (1) RI = 0
- (2) SM2 = 0或者接收的停止位= 1

如果这些条件被满足，那么停止位（包含错误的停止位）装入 RB8，8 个数据位装入 SBUF，RI 被置位。否则接收的帧会丢失。这时，接收器将重新去探测 RXD 端是否另一个下降沿。用户必须用软件清零 RI，然后才能再次接收。

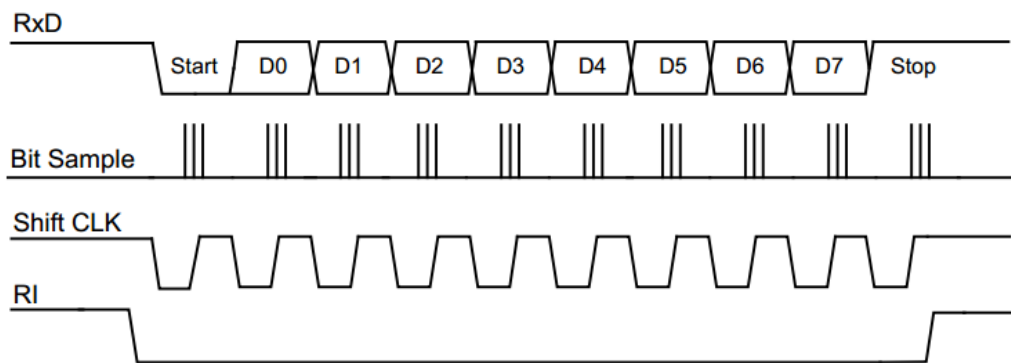


Figure 13-6 Receive Timing of Mode 1

13.2.3 方式 2：9 位 UART，固定波特率，异步全双工

这个方式使用异步全双工通信中的 11 位。一帧由一个起始位（逻辑 0），8 个数据位（低位在前），一个可编程的第 9 数据位和一个停止位（逻辑 1）组成。方式 2 支持多机通信和硬件地址识别（详见[多机通讯](#)章节）。在数据传送时，第 9 数据位（TB8 位）可以写 0 或 1，例如，可写入 PSW 中的奇偶位 P，或用作多机通信中的数据/地址标志位。当接收到数据时，第 9 数据位移入 RB8 而停止位不保存。SMOD 位选择波特率为系统工作频率的 1/32 或 1/64。功能块框图如下所示。

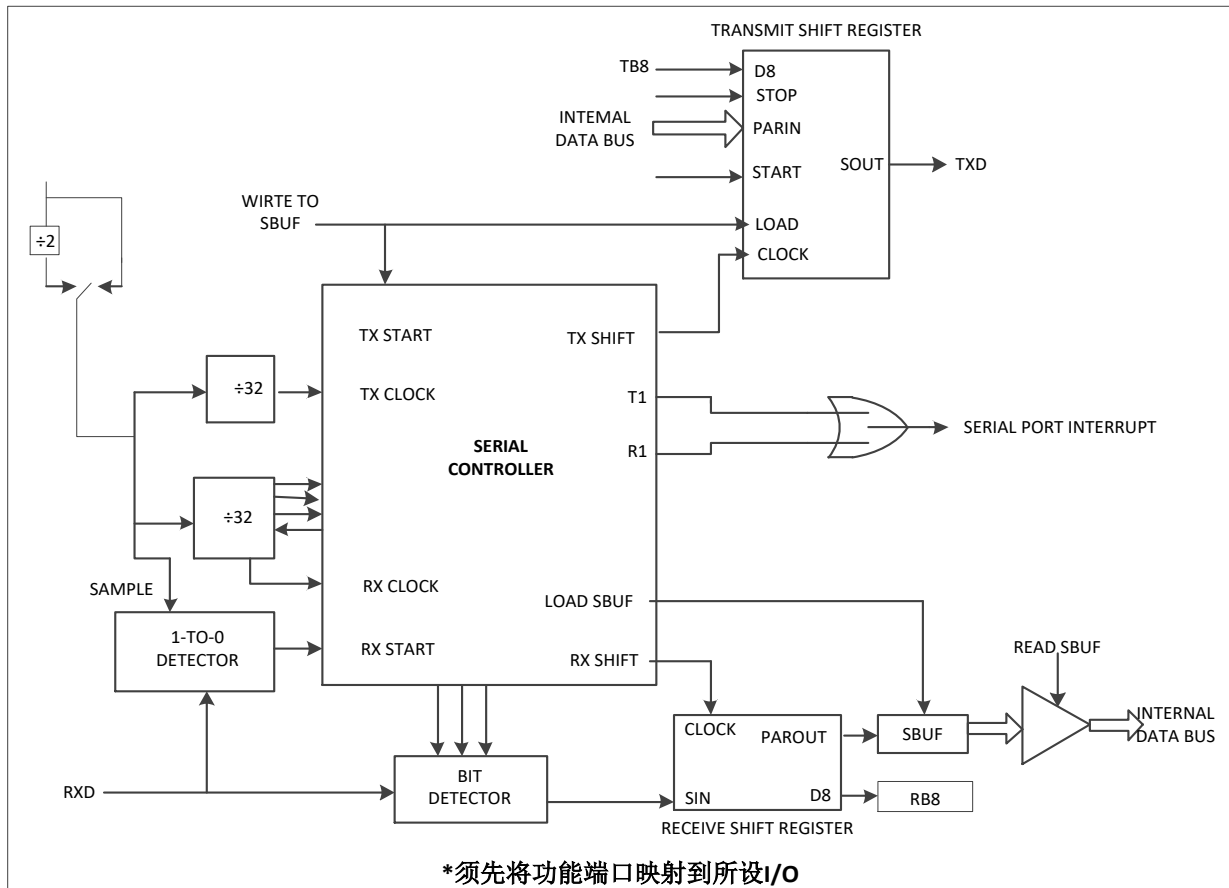


Figure 13-7 Receive Shift Register

任何将 SBUF 作为目标寄存器的写操作都会启动发送，同时也将 TB8 载入到发送移位寄存器的第 9 位中。实际上发送是从 16 分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与 16 分频计数器是同步的，与对 SBUF 的写操作不同步。起始位首先在 TXD 引脚上移出，然后是 9 位数据。在发送转换寄存器中的所有 9 位数据都发送完后，停止位在 TXD 引脚上移出，在停止位开始发送时 TI 标志置位。

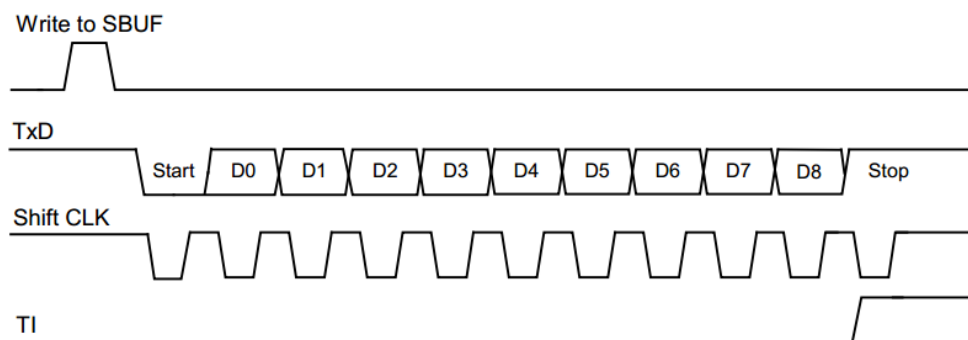


Figure 13-8 Send Timing of Mode 2

只有REN置位时才允许接收。当RXD引脚检测到下降沿时串行口开始接收串行数据。为此，CPU对RXD不断采样，采样速率为波特率的16倍。当检测下降沿时，16分频计数器立即复位。这有助于16分频计数器与RXD引脚上的串行数据位同步。16分频计数器把每一位的时间分为16个状态，在第7、8、9状态时，位检测器对RXD端的电平进行采样。为抑制噪声，在这3个状态采样中至少有2次采样值一致数据才被接收。如果所接收的第一位不是0，说明这位不是一帧数据的起始位，该位被忽略，接收电路

被复位，等待RXD引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。9个数据位和1个停止位移入之后，移位寄存器的内容被分别装入SBUF和RB8中，RI置1，但必须满足下列条件：

- (1) $RI = 0$
- (2) $SM2 = 0$ 或者接收的第9位= 1，且接收的字节符合约定从机地址

如果这些条件被满足，那么第9位移入RB8，8位数据移入SBUF，RI被置位。否则接收的数据帧会丢失。

如果停止位为0，就会产生帧出错标志。

在停止位的当中，接收器回到寻找RXD引脚上的另一个下降沿。用户必须用软件清除RI，然后才能再次接收。

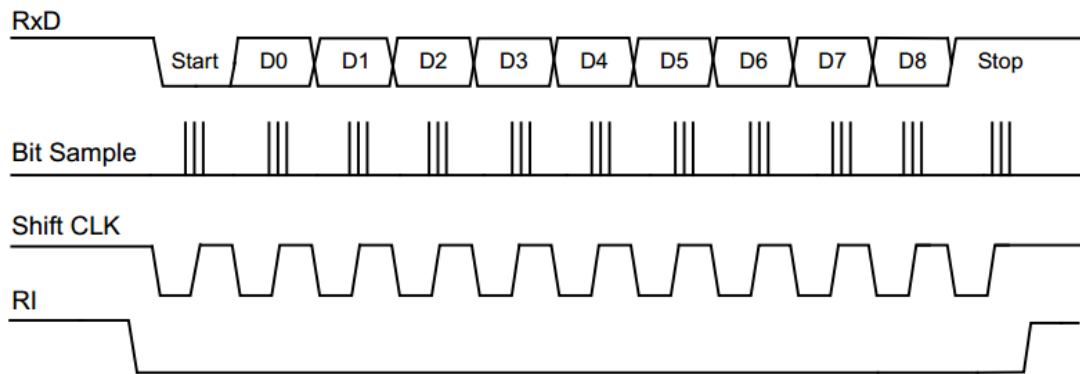


Figure 13-9Receive Timing of Mode 2

13.2.4 方式3：9位UART，可变波特率，异步全双工

方式3使用方式2的传输协议以及方式1的波特率产生方式。

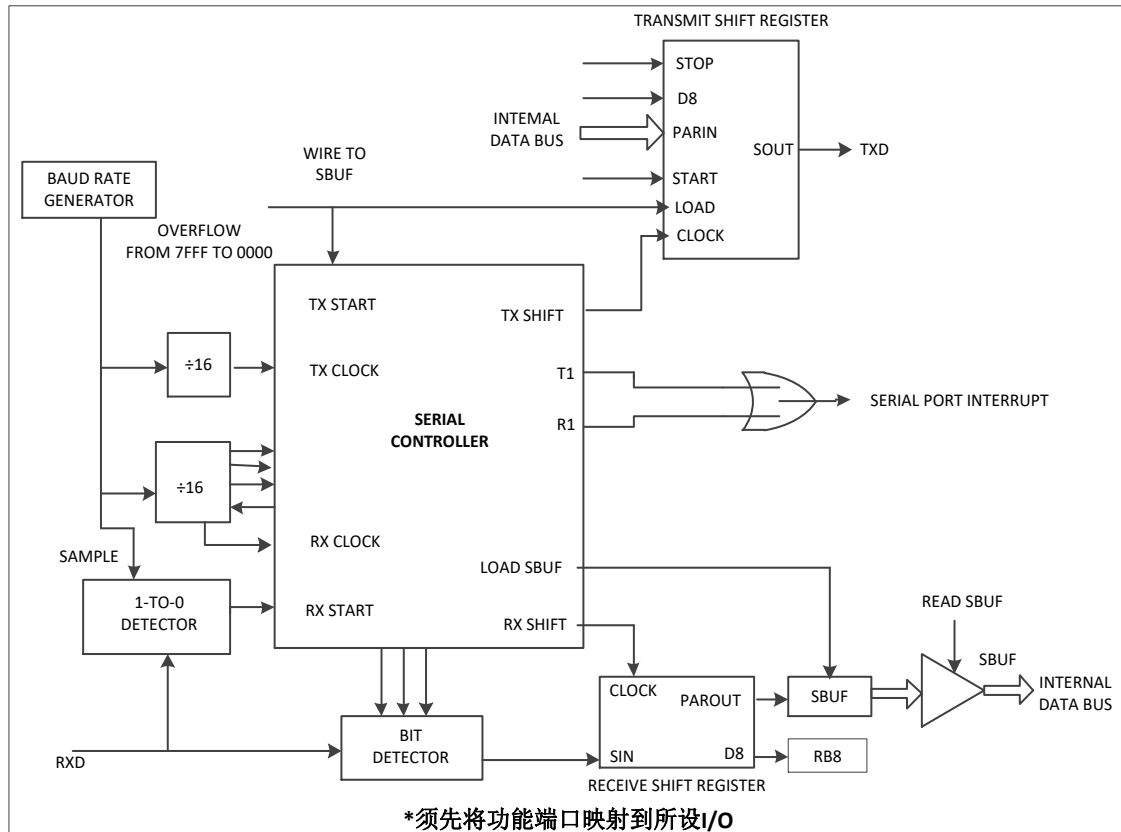


Figure 13-10Receive Shift Register

13.3 波特率

定时器 4 作为 UART1 的波特率发生器。选择定时器 4 的工作方式：作为波特率发生器。该方式与自动重载方式相似。定时器 4 的溢出会引起软件将定时器 4 重载寄存器中的 16 位值载入定时器 4 的计数器中，此时也会产生溢出中断。如果不希望中断发生，可以关闭 ET4。UART1 方式 1 和 3 的波特率由下列公式计算：

$$\text{BaudRate} = \frac{1}{16} \times \frac{f_{T4}/\text{PRESCALER}}{65536 - [\text{TH4}, \text{TL4}]}, \text{ 用定时器 4 作为波特率发生器。}$$

上式中，TH4 和 TL4 为定时器 4 数据寄存器。

下表为常用Fosc频率与常用波特率所对应的定时器4的计数值：

常用波特率	Fosc			
	4MHz	8MHz	16MHz	32MHz
1200	FF30	FE5F	FCBF	F97D
2400	FF98	FF30	FE5F	FCBF
4800	FFCC	FF98	FF30	FE5F
9600	FFE6	FFCC	FF98	FF30
19200	FFF3	FFE6	FFCC	FF98
38400	/	FFF3	FFE6	FFCC
57600	/	/	FFEF	FFDD
115200	/	/	/	FFEF

13.4 多机通信

13.4.1 软件地址识别

方式2和方式3具有适用于多机通讯功能。在这两个方式下，接收的是9位数据，第9位移入RB8中，之后是停止位。可以这样设定UART1：当接收到停止位，且RB8 = 1时，串行口中断有效（请求标志RI置位）。此时置位SM2位，UART1工作在多机通讯模式。

在多机通讯系统中，按如下所述来使用这一功能。当主机要发送一数据块给几个从机中的一个时，先发送一地址字节，以寻址目标从机。地址字节与数据字节可用第9数据位来区别，地址字节的第9位为1，数据字节的第9位为0。

如果从机SM2为1，则不会响应数据字节中断。地址字节可以使所有从机产生中断，每一个从机都检查所接收到的地址字节，以判别本机是不是目标从机。被寻到的从机对SM2位执行清零操作，并准备接收即将到来的数据字节。当接收完毕时，从机再一次将SM2置位。没有被寻址的从机，则保持SM2位为1，不响应数据字节。

注：在方式1中，SM2用来检测停止位是否有效，如果SM2 = 1，接收中断不会响应直到接收到一个有效的停止位。

13.4.2 自动（硬件）地址识别

在方式2和方式3中，SM2置位，UART1运行状态如下：接收到停止位，RB8的第9位为1（地址字节），且接收到的数据字节符合UART1的从机地址，UART1产生一个中断。从机将SM2清零，接收后续数据字节。

第9位为1表明该字节是地址而非数据。当主机要发送一组数据给几个从机中的一个时，必须先发送目标从机地址。所有从机等待接收地址字节，为了确保仅在接收地址字节时产生中断，SM2位必须置位。自动地址识别的特点是只有地址匹配的从机才能产生中断，硬件完成地址比较。

中断产生后，地址匹配的从机清零SM2，继续接收数据字节。地址不匹配的从机不受影响，将继续等待接收和它匹配的地址字节。全部信息接收完毕后，地址匹配的从机应该再次把SM2置位，忽略所有传送的非地址字节，直到接收到下一个地址字节。

使用自动地址识别功能时，主机可以通过调用给定的从机地址选择与一个或多个从机通信。主机使用广播地址可以寻址所有从机。有两个特殊功能寄存器，从机地址（SADDR）和地址屏蔽（SADEN）。从机地址是一个8位的字节，存于SADDR寄存器中。SADEN用于定义SADDR各位的有效与否，如果SADEN中某一位为0，则SADDR中相应位被忽略，如果SADEN中某一位置位，则SADDR中相应位将用于产生约定地址。这可以使用户在不改变SADDR寄存器中的从机地址的情况下灵活地寻址多个从机。

	从机1	从机2
SADDR	10100100	10100111
SADEN	11111010	11111001
约定地址	10100x0x	10100xx1
广播地址	1111111x	11111111

从机1和从机2的约定地址最低位是不同的。从机1忽略了最低位，而从机2的最低位是1。因此只与从机1通讯时，主机必须发送最低位为0的地址（10100000）。类似地，从机1的第1位为0，从机2的第1位被忽略。因此，只与从机2通讯时，主机必须发送第1位为1的地址（10100011）。如果主机需要同时

与两从机通讯，则第0位为1，第1位为0，第2位被两从机都忽略，两个不同的地址用于选定两个从机（1010 0001和1010 0101）。

主机可以通过广播地址与所有从机同时通讯。这个地址等于SADDR和SADEN的位或，结果中的0表示该位被忽略。多数情况下，广播地址为0xFF，该地址可被所有从机应答。

系统复位后，SADDR和SADEN两个寄存器初始化为0，这两个结果设定了约定地址和广播地址为xxxxxxx（所有位都被忽略）。这有效地去除了多从机通讯的特性，禁止了自动寻址方式。这样的UART1将对任何地址都产生应答，兼容了不支持自动地址识别的8051控制器。用户可以按照上面提到的方法实现软件地址识别的多机通讯。

13.5 帧出错检测

3个错误标志位被置位后，只能通过软件清零，尽管后续接收的帧没有任何错误也不会自动清零。

13.5.1 发送冲突

如果在一个发送正在进行时，用户软件写数据到SBUF寄存器时，发送冲突位（TXCOL位）置1。如果发生了冲突，新数据会被忽略，不能被写入发送缓冲器（即不影响传送）。

13.5.2 接收溢出

RI置1，接收缓冲器中的数据未被读取，RI被清0，又开始新的数据接收，若在新的数据接收完成前（RI置1）还未读取之前接收缓冲区中的数据，在那么接收溢出位（RXROV位）置位。如果发生了接收溢出，接收缓冲器中原来的数据不影响，后面的数据则丢失。

13.5.3 帧出错

如果检测到一个无效（低）停止位，那么帧出错位（FE位）置1。

13.6 UART1 相关寄存器

13.6.1 UART1 控制寄存器 SCON、SCON2

SCON

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	FE	RXROV	TXCOL	REN	TB8	RB8	TI	RI

位编号	位符号	说明
7	FE	侦错误检测位 0: 无侦错误或软件清 0 1: 有侦错误, 硬件置 1
6	RXROV	接收溢出标志位 0: 无接收溢出或软件清 0 1: 接收溢出, 硬件置 1
5	TXCOL	发送冲突标志位 0: 无发送冲突或软件清 0 1: 有发送冲突, 硬件置 1
4	REN	串行接收使能控制位 0: 禁止串行接收 1: 允许串行接收
3	TB8	方式 2/方式 3 时, 为要发送的第 9 位数据, 由软件置 1 或清 0
2	RB8	方式 2/方式 3 时, 为接收到的第 9 位数据, 作为奇偶校验位或地址帧/数据帧的标志位
1	TI	发送中断请求中断标志位 0: 软件清 0 1: 方式 0 时, 当串行发送数据第 8 位结束时, 由硬件自动置 1, 其它方式时, 在停止位开始发送时由硬件置 1
0	RI	接收中断请求中断标志位 0: 软件清 0 1: 方式 0 时, 当串行接收数据第 8 位结束时, 由硬件自动置 1, 其它方式时, 串行接收到停止位开始时刻由硬件置 1

SCON2

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	SMOD	BRTSEL	UX6	-	-	SM0	SM1	SM2

位编号	位符号	说明
7	SMOD	波特率加倍控制位 0: 在方式 2 中, 波特率为系统时钟 F_{osc} 的 1/64 1: 在方式 2 中, 波特率为系统时钟 F_{osc} 的 1/32
6	BRTSEL	0: 定时器 4 的溢出率 1: 无效位
5	UX6	串口模式 0 的通信速度设置位 0: 串口模式 0 时钟为 $F_{osc}/12$ 1: 串口模式 0 时钟为 $F_{osc}/2$
4-3	-	保留位 (读为 0, 写无效)
2-1	SM0:SM1	串口工作方式选择位, 详细见下表
0	SM2	多机通信使能控制位(第九位“1”校验器) 0: 在方式 1 下, 不检测停止位, 停止位无论是 0 还是 1 都会置位 RI 在方式2和3下, 不检测第9位, 任何字节都会置位RI 1: 在方式 1 下, 允许停止位确认检验, 只有有效的停止位“1”才能置位 RI 在方式2和3下, 只有地址字节 (第9位=“1”) 才能置位RI

SM0	SM1	工作方式	功能说明	波特率
0	0	方式0	同步移位串行方式: 移位寄存器	当UX6 = 0时, 波特率是 $F_{osc}/12$ 当UX6 = 1时, 波特率是 $F_{osc}/2$
0	1	方式1	8位UART, 波特率可变	定时器4的溢出率/16
1	0	方式2	9位UART	$(2^{SMOD}/64) \times F_{osc}/2$
1	1	方式3	9位UART, 波特率可变	定时器4的溢出率/16

13.6.2 UART1 数据缓冲寄存器 SBUF

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	SBUF[7:0]							
位编号	位符号	说明						
7-0	SBUF[7:0]	串口缓冲寄存器 写为需要发送的数据, 读为接收到的数据						

13.6.3 UART1 自动地址识别 SADDR、SADEN

从机地址寄存器SADDR

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	SADDR[7:0]							

位编号	位符号	说明
7-0	SADDR[7:0]	从机地址寄存器

从机地址掩码寄存器 SADEN

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	SADEN [7:0]							

位编号	位符号	说明
7-0	SADEN [7:0]	从机地址掩码寄存器

14 串行外部设备接口SPI

14.1 SPI 特性

- 全双工，三/四线同步传输
- 主从机操作
- 4级可编程主时钟频率
- 极性相位可编程的串行时钟
- 可选择数据传输方向
- 写冲突及接收溢出标志
- 带MCU中断的主模式故障出错标志
- 带MCU中断的传输结束标志
- 主模式支持高达8Mbps通信速率（ $F_{osc}=32\text{MHz}$ ），从模式下通信速率须在 $F_{osc}/16$ 及 $F_{osc}/16$ 以下

14.2 SPI 信号描述

主输出从输入（MOSI）：该信号连接主设备和一个从设备，数据通过 MOSI 从主设备串行传送到从设备，主设备输出，从设备输入。

主输入从输出（MISO）：该信号连接主设备和一个从设备。数据通过 MISO 从从设备串行传送到主设备，从设备输出，主设备输入。若该设备为从设备且未被选中时，从设备的 MISO 引脚处于高阻状态。

串行时钟（SCK）：该信号用作控制 MOSI 和 MISO 线上输入输出数据的同步移动，每 8 个时钟周期 MOSI 和 MISO 线上传送一个字节，如果从设备未被选中，SCK 信号将被此设备忽略。注意：只有主设备才能产生 SCK 信号。

从设备选择引脚（ $\overline{SS}$ ）：每个从属外围设备由一个从选择引脚 $\overline{SS}$ 选择，当引脚信号为低电平时，表明该从设备被选中。主设备可以通过软件控制连接于从设备 $\overline{SS}$ 引脚的端口电平选择每个从设备，很明显，只有一个主设备可以驱动通讯网络。为了防止 MISO 总线冲突，同一时间只允许一个从设备与主设备通讯。在主设备模式中， $\overline{SS}$ 引脚状态关联 SPI 状态寄存器 SPSTAT 中 MODF 标志位以防止多个主设备驱动 MOSI 和 SCK。

下列情况， $\overline{SS}$ 引脚可以作为普通端口或其它功能使用：

（1）设备作为主设备，SPI 控制寄存器 SPCTL 寄存器的 SSIG 位置 1。这种配置仅仅存在于通讯网络中只有一个主设备的情况，因此，SPI 状态寄存器 SPSTA 中 MODF 标志位不会被置 1。

（2）设备配置为从设备，SPI 控制寄存器 SPCTL 的 CPHA 位和 SSIG 位置 1。这种配置情况存在于只有一个主设备一个从设备的通讯网络中，因此，设备总是被选中的，主设备也不需要控制从设备的 $\overline{SS}$ 引脚选择其作为通讯目标。

从设备的 $\overline{SS}$ 引脚被使能时，其它主设备可通过使该引脚维持低电平，从而选中该从设备。为防止 MISO 总线冲突，原则上不允许两个及以上的从设备被选中。

主设备的 $\overline{SS}$ 引脚被使能时，若 $\overline{SS}$ 被拉低将置模式错误标志 MODF（可中断），且 MSTR 位也将被清 0，从而使该设备强制切换成从设备。

当 MSTR = 0（从模式）及 CPHA = 0 时，SSIG 必须为 0，因为此时数据传送需要 $\overline{SS}$ 引脚配合，才能完成多数据传送。

14.3 SPI 时钟速率

在主模式下，SPI 的速率有 4 级选择，分别是系统时钟的 4、16、64 或 128 分频，可通过 SPCTL 寄存器的 SPR[1:0] 位进行选择。

14.4 SPI 功能框图

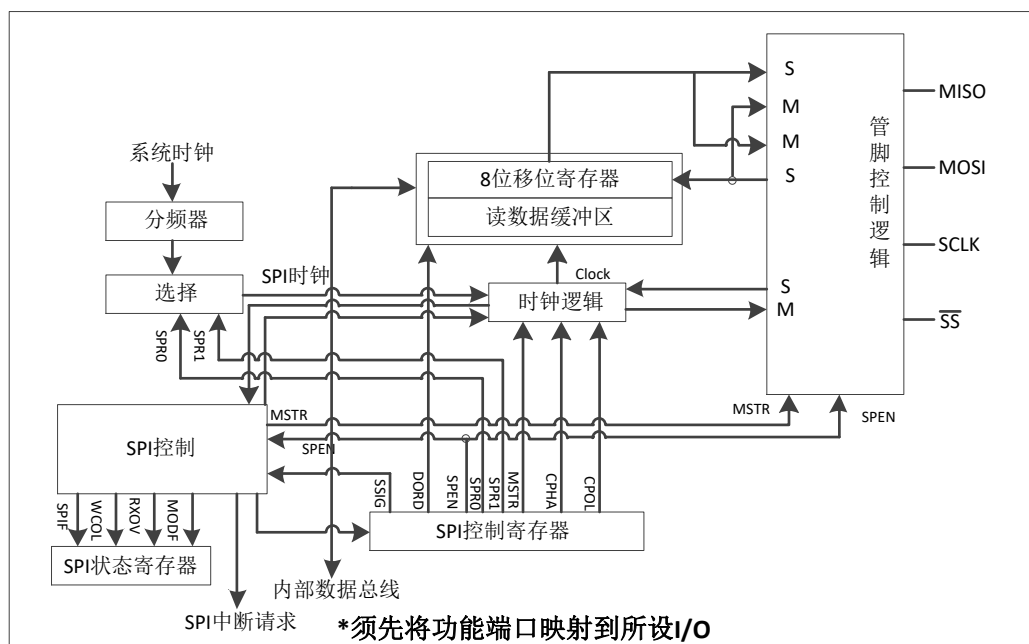


Figure 14-1 SPI 功能方框图

14.5 SPI 工作模式

SPI 可配置为主模式或从模式中的一种。SPI 模块的配置和初始化通过设置相关寄存器来完成。进一步设置相关寄存器即可完成数据传送。

在 SPI 通讯期间，数据同步地被串行的移进移出，串行时钟线（SCK）使两条串行数据线（MOSI&MISO）上数据的移动和采样保持同步。从设备选择线（ $\overline{SS}$ ）可以独立地选择从属设备；如果从设备没有被选中，则不能参与 SPI 总线上的活动。

当 SPI 主设备通过 MOSI 线传送数据到从设备时，从设备通过 MISO 线发送数据到主设备作为相应，从而实现在同一时钟下数据发送与接收的同步全双工传输。发送移位寄存器和接收寄存器使用相同的 SFR 地址，对 SPI 数据寄存器 SPDAT 进行写操作将写入发送移位寄存器，对 SPDAT 寄存器进行读操作将获得接收移位寄存器的数据。注：写入的数据不会影响到需要读出的数据

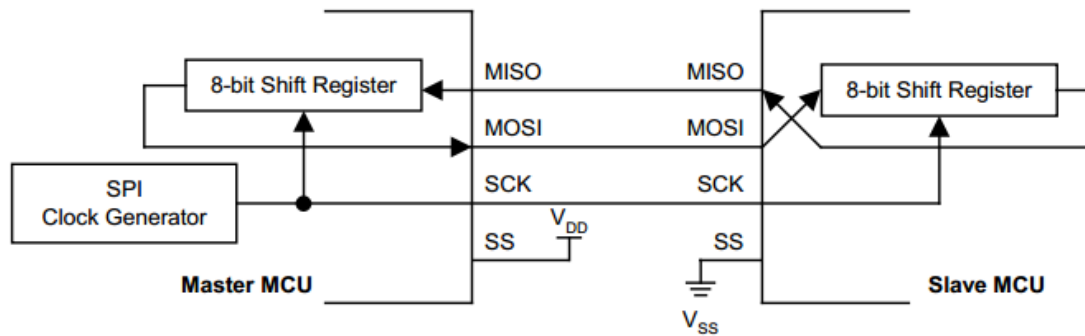


Figure 14-2 全双工主从互联图

主模式

(1) 模式启动

SPI 主设备控制 SPI 总线上的所有数据传送的启动。一个 SPI 总线中只允许一个主设备可以启动传送。

(2) 发送

在 SPI 主模式下，写一个字节数据到 SPI 数据寄存器 SPDAT，数据将会写入发送移位缓冲器。如果发送移位寄存器中已经存在一个数据或正在传送一个数据，那么主 SPI 将产生一个 WCOL 信号以表明写入太快。但是发送移位寄存器中的数据不会受到影响，发送也不会中断。

(3) 接收

当主设备通过 MOSI 线传送数据到从设备时，同时对应的从设备也可以通过 MISO 线将其发送移位寄存器的数据传送给主设备的接收移位寄存器，实现全双工操作。故 SPIF 标志置 1 即表示数据发送完成也表示数据接收完成。本 SPI 模块接收为双缓冲器，即数据可以在 SPIF 置 1 后读出，但必须在下一字节数据接收完成前读出，否则将置接收溢出标志 RXOV，如果发生接收溢出，则后面的数据将不会被移入接收寄存器，接收溢出时，SPIF 可正常置 1。

从模式

(1) 模式启动

将 MSTR 置 0（若 $\overline{SS}$ 被使能则必须拉低）时，设备处于从模式下运行，数据传送过程中设备模式不能改变（ $\overline{SS}$ 引脚必须维持低电平），否则数据传送将失败（SPIF 不会被置 1）。

(2) 发送

SPI 从设备下不能启动数据传送，所以 SPI 从设备必须在主设备开始一次新的数据传送之前将要传送给主设备的数据写入发送移位寄存器。若发送前未写入数据到发送移位寄存器，从设备将传送数据“0x00”给主设备。若写入数据时发送移位寄存器已经存在数据（或发生在传送过程中），那么 SPI 从设备的 WCOL 标志位将置 1，表示发生写 SPDAT 冲突。但是移位寄存器的数据不受影响，传送也不会被中断，传送完成 SPIF 将被置 1。

(3) 接收

从模式下，按照主设备控制的 SCK 信号，数据通过 MOSI 引进移入，当计数器计数 SCK 边缘数到 8 时，表示一个字节数据接收完毕，SPIF 将置 1，数据可以通过此时读取 SPDAT 寄存器获得，但必须在下一数据接收完成前被读出，否则将置接收溢出标志 RXOV，如果发生接收溢出，则后面的数据将不会被移入接收寄存器，接收溢出时，SPIF 可正常置 1。

14.6 SPI 传送形式

通过软件设置寄存器的 CPOL 位和 CPHA 位,用户可以选择 SPI 时钟极性和相位的四种组合方式。CPOL 位定义时钟的极性,即空闲时的电平状态。CPHA 位定义时钟相位,即定义允许数据移位采样的时钟边沿。在通信的两个主从设备中,时钟极性相位设置应当保持一致。

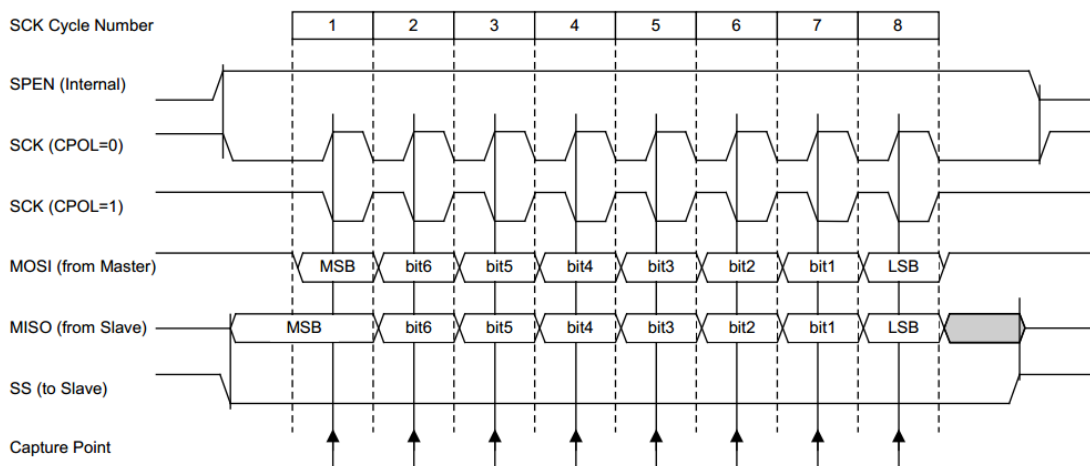


Figure 14-3 数据传送形式 (CPHA=0)

如果 CPHA = 0, 数据在 SCK 的第一沿就被捕获, 所以从设备必须在 SCK 的第一个沿之前就准备好数据, 因此, $\overline{SS}$ 引脚的下降沿从设备就开始数据。 $\overline{SS}$ 引脚在每次传送完一个字节后必须拉高, 在发送下一字节之前重新又被拉低, 故 CPHA = 0 时, SSIG 位无效, 即 $\overline{SS}$ 脚被强制使能。

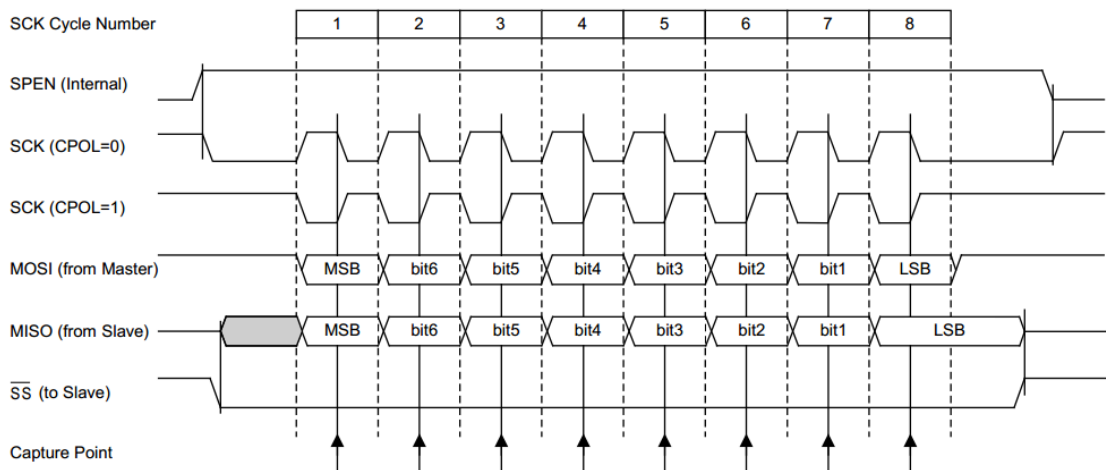


Figure 14-4 数据发送形式 (CPHA=1)

如果 CPHA = 1, 主设备在 SCK 的第一个沿将数据输出到 MOSI 线上, 从设备把 SCK 的第一个沿作为开始发送信号。用户必须在第一个 SCK 的前 2 个沿内完成对 SPDAT 完成写操作。传送过程中彼此模式不能改变, 否则数据发送接收将失败, 模式被改变的寄存器数据 (发送数据) 及状态 (接收为空) 不变。这种数据传送形式为单一主从设备间通信的首先形式。

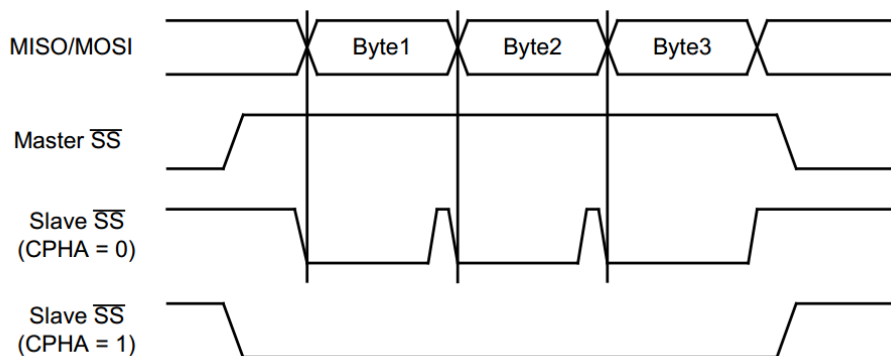


Figure 14-5 CPHA/SS 时序

14.7 SPI 出错检测

SPSTA 寄存器中的一些标志位表示 SPI 通信中的通信错误情况：

(1) 模式故障 (MODF)

SPI 主模式下的模式故障出错表明 $\overline{SS}$ 引脚上的电平状态与实际设备模式不一致，MODF 标志位将被置 1（可产生中断），以来表明 SPI 控制系统中存在多主设备的冲突情况，此时硬件将自动清除 SPEN 位，即先关闭 SPI 模块；同时硬件也将自动清除 MSTR 位。需要重启 SPI 模块时，MODF 必须先软件写 1 清 0，再置 SPEN 位。

(2) 写冲突 (WCOL)

在数据未发送或发送期间继续对 SPDAT 做写入操作会引起写冲突，WCOL 位会被置 1，但发送不会终止。需软件写 1 清 0。

(3) 接收溢出 (RXOV)

在接收第二数据完成前仍未清除之前接收数据产生的 SPIF 标志，将置接收溢出标志 RXOV，SPIF 被置 1 时，后面的数据将不会被传入接收寄存器，故接收的数据存入 SPDAT 前必须清除 SPIF，RXOV 位需软件写 1 清 0。

14.8 SPI 中断

两种 SPI 状态标志 SPIF & MODF 都能产生一个 CPU 中断请求。

串行数据传输完成标志 SPIF：完成一个字节数据发送/接收后由硬件置 1。

故障模式标志 MODF：该位被置 1 是指设备模式（主机）与 $\overline{SS}$ 引脚电平不一致，SSIG 位为 1（ $\overline{SS}$ 未被使能）时，无 MODF 中断请求。

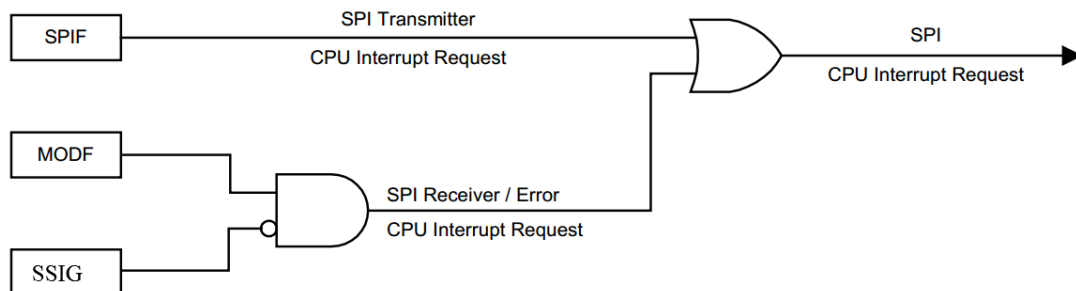


Figure 14-6 SPI 中断请求的产生

14.9 SPI 配置对照

SPEN	SSIG	$\overline{SS}$	MSTR	主或从模式	MISO	MOSI	SCK	备注
0	x	I/O	x	SPI功能禁止	I/O	I/O	I/O	SPI禁止
1	0	0	0	从机模式	输出	输入	输入	选择从机
1	0	1	0	从机模式未被选中	高阻	输入	输入	未被选中。MISO为高阻，以避免总线冲突
1→0	0	0	1→0	关闭SPI	输出	输入	输入	SS配置为输入，SSIG为0。如果SS被驱动为低电平。则被选择作为从机。此时MSTR将清零，并置模式错误标志MODF，可用于请求中断。
1	0	1	1	主（空闲）	输入	高阻	高阻	当主机空闲时MOSI和SCK为高阻态以避免总线冲突。用户必须将SCK上拉或下拉（根据CPOL的取值）以避免SCK出现悬浮状态。
				主（激活）		输出	输出	作为主机激活时，MOSI和SCK为推挽输出。
1	1	I/O	0	从	输出	输入	输入	CPHA不能为0
1	1	I/O	1	主	输入	输出	输出	-

14.10 SPI 相关寄存器

14.10.1 SPI 控制寄存器 SPCTL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	SSIG	SPEN	DORD	MSTR	CPOL	CPHA	SPR[1:0]	

位编号	位符号	说明
7	SSIG	$\overline{SS}$ 引脚使能位 0: $\overline{SS}$ 脚被使能用于确定器件为主机还是从机 1: MSTR 确定器件为主机还是从机, $\overline{SS}$ 脚作为普通 I/O 使用
6	SPEN	SPI 使能位 0: 禁止 SPI 模块, 相关管脚为普通 I/O(建议 I/O 时设为高阻) 1: 使能 SPI 模块, 相关管脚为 SPI 通信管脚
5	DORD	主/从机模式选择位 0: MSB先发送 1: LSB先发送
4	MSTR	传送方向选择位 0: 从机模式 1: 主机模式
3	CPOL	SPI 时钟极性选择位 0: SCK 空闲时为低电平 1: SCK 空闲时为高电平
2	CPHA	SPI 时钟相位选择位 0: 数据在 SPI 时钟的第一个边沿采样 1: 数据在 SPI 时钟的第二个边沿采样 注: SSIG = 0 & CPHA = 0 时, 数据在 $\overline{SS}$ 为低被驱动; CPHA = 1 时, 数据在 SCK 的前时钟沿驱动
1-0	SPR[1:0]	SPI 时钟速率选择控制位 00: $F_{osc}/4$ 01: $F_{osc}/16$ 10: $F_{osc}/64$ 11: $F_{osc}/128$

14.10.2 SPI 状态寄存器 SPSTAT

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位符号	SPIF	WCOL	RXOV	MODF	-	-	-	-

位编号	位符号	说明
7	SPIF	SPI 传输完成标志位 0: 软件写 1 清 0 1: 一次传送完成时, 硬件置 1, 也做中断请求标志位
6	WCOL	SPI 写冲突标志位 0: 软件写 1 清 0 1: 传送过程中对 SPDAT 执行写操作硬件置 1 (正在传送的数据不受影响) 注: 当 OSC_CLK 的频率 F_{osc} 和 CPU 的频率 F_{cpu} 不一致时, 此标志位会错误置位, 但不影响正常的 SPI 通信。
5	RXOV	SPI 接收溢出标志位 0: 软件写 1 清 0 1: 发生接收溢出, 硬件置 1 注: 接收为双 BUFF, 接收溢出发生在第二个数据传送完成前仍未清除之前接收数据产生的 SPIF 标志, 故每次准备接收下一个数据前必须先清除 SPIF, 否则 RXOV 将置 1, RXOV 置 1 不会影响 SPI 接收
4	MODF	模式故障标志位 0: 软件写 1 清 0 1: SS 引脚电平与 SPI 模式不一致时, 硬件置 1 (且立即切成从机模式), 也做中断请求标志位
3-0	-	保留位 (读为 0, 写无效)

14.10.3 SPI 数据寄存器 SPDAT

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	SPDAT[7:0]							

位编号	位符号	说明
7-0	SPDAT[7:0]	SPI 数据寄存器

15 IIC总线

15.1 IIC 特性

- 双线通信
- 支持主机模式及从机模式
- 支持多主机通信时仲裁功能
- 支持地址可编程
- 支持标准速率（最多 100kbps）和快速（最多 400kbps）

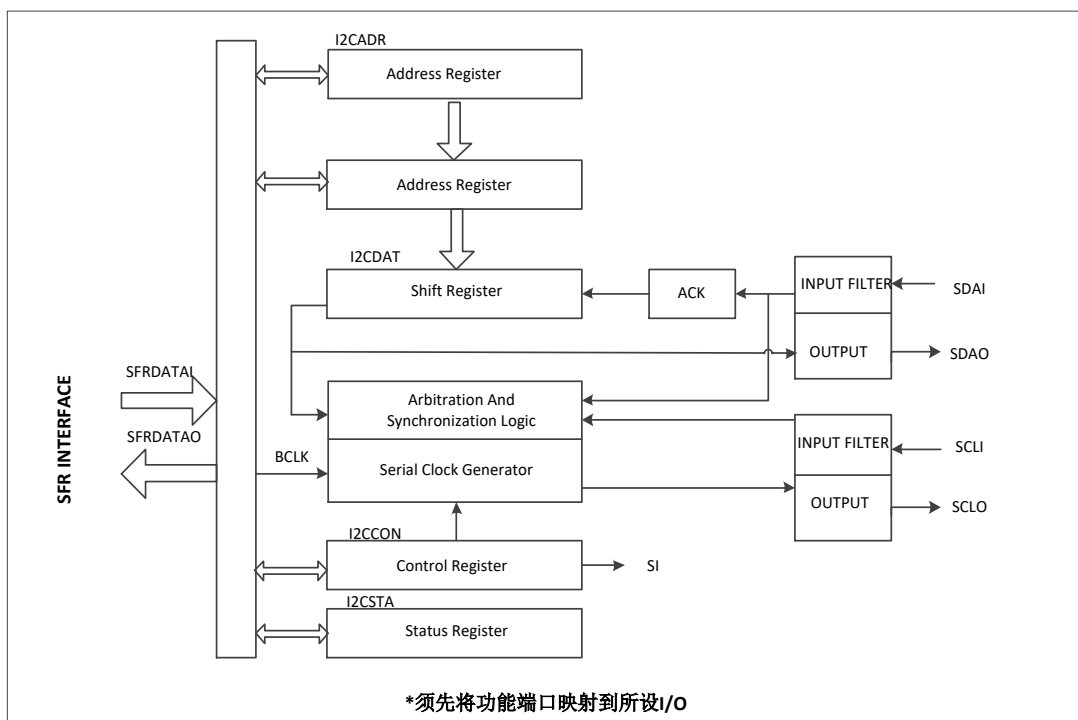


Figure 15-1 IIC 功能框图

15.2 IIC 总线工作原理

物理结构上，IIC 系统由一条串行数据线 SDA 和一条串行时钟线 SCL 组成。主机按一定的通信协议向从机寻址和进行信息传输，在数据传输时，由主机初始化一次数据传输，主机使数据在 SDA 线上传输的同时还通过 SCL 线传输时钟。信息传输的对象和方向以及信息传输的开始和终止均由主机决定。

每个器件都有一个唯一的地址，而且可以是单接收的器件或者可以接收也可以发送的器件。发送器或接收器可以在主模式或从模式下操作，这取决于芯片是否必须启动数据的传输还是仅仅被寻址。

下图是最常用、最典型的 IIC 总线连接方式。

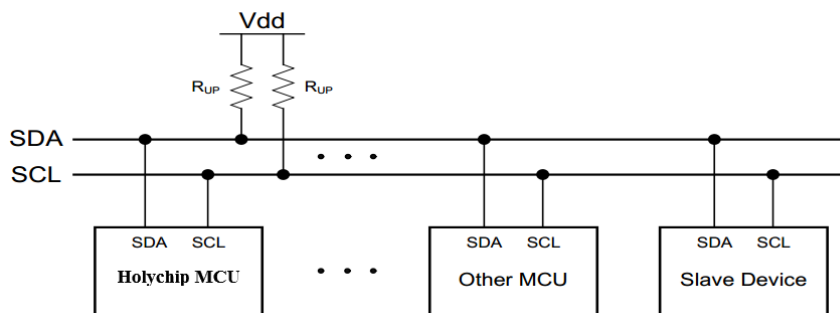


Figure 15-2 IIC 总线连接图

15.3 总线上数据的有效性

IIC 总线是以串行方式传输数据，从数据字节的最高位开始传送，每一个数据位在 SCL 上都有一个时钟脉冲相对应。在时钟线高电平期间数据线上必须保持稳定的逻辑电平状态，高电平为数据 1，低电平为数据 0。只有在时钟线为低电平时，才允许数据线上的电平状态变化，如 Figure16-3 所示。

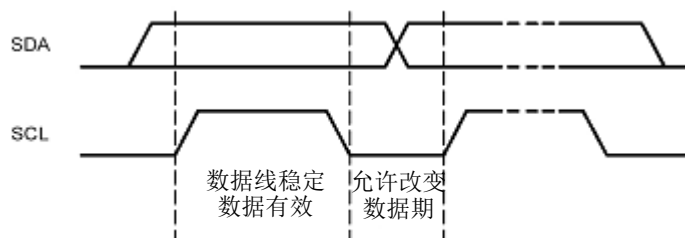


Figure 15-3 IIC 总线上数据的有效性

15.4 总线上的信号

IIC 总线在传送数据过程中共有四种类型信号，它们分别是：开始信号、停止信号、重新开始信号和应答信号。

开始信号（START）：如 Figure 15-4 所示，当 SCL 为高电平时，SDA 由高电平向低电平跳变，产生开始信号。当总线空闲的时候，例如，没有主动设备在使用总线（SDA 和 SCL 都处于高电平），主机通过发送开始（START）信号建立通信。

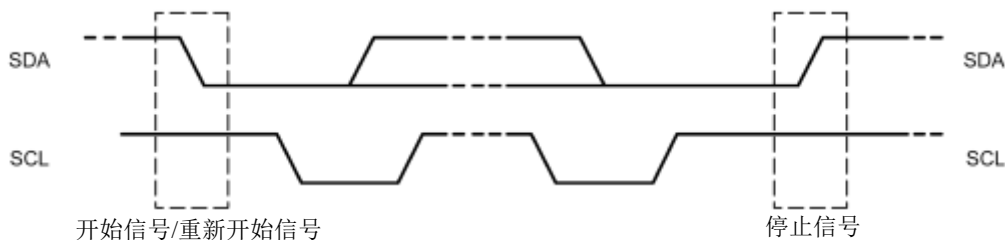


Figure 15-4 开始、重新开始、停止信号

停止信号（STOP）：如 Figure15-4 所示，当 SCL 为高电平时，SDA 由低电平向高电平跳变，产

生停止信号。主机通过发送停止信号，结束数据通信。

重新开始信号（Repeated START）：在 IIC 总线上，由主机发送一个开始信号启动一次通信后，在首次发送停止信号之前，主机通过发送重新开始信号，可以转换与当前从机的通信模式，或是切换到与另一个从机通信。如 Figure15-5 所示，当 SCL 为高电平时，SDA 由高电平向低电平跳变，产生重新开始信号，它的本质就是一个开始信号。

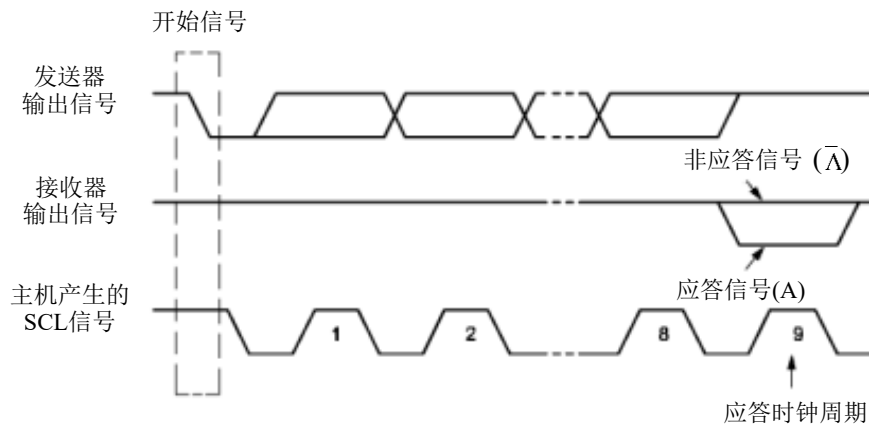


Figure 15-5 IIC 总线的应答信号

应答信号（A）：接收数据的 IIC 在接收到 8 位数据后，向发送数据的 IC 发出的特定的低电平脉冲。每一个数据字节后面都要跟一位应答信号，表示已收到数据。应答信号在第 9 个时钟周期出现，这时发送器必须在这一时钟位上释放数据线，由接收设备拉低 SDA 电平来产生应答信号，由接收设备保持 SDA 的高电平来产生非应答信号（ $\bar{A}$ ），如 Figure16-5 所示。所以，一个完整的字节数据传输需要 9 个时钟脉冲。如果从机作为接收方向主机发送非应答信号，这样，主机方就认为此次数据传输失败；如果是主机作为接收方，在从机发送器发送完一个字节数据后，发送了非应答信号，从机就认为数据传输结束，并释放 SDA 线。不论是以上哪种情况都会终止数据传输，这时，主机或是产生停止信号释放总线，或是产生重新开始信号，开始一次新的通信。开始信号、重新开始信号和停止信号都是由主控制器产生，应答信号由接收器产生，总线上带有 IIC 总线接口的器件很容易检测到这些信号。

15.5 总线上数据初始格式

一般情况下，一个标准的 IIC 通信由四部分组成：开始信号、从机地址传输、数据传输、停止信号。

由主机发送一个开始信号，启动一次 IIC 通信；在主机对从机寻址后，再在总线上传输数据。IIC 总线上传送的每一个字节均为 8 位，首先发送的数据位为最高位，每传送一个字节后都必须跟随一个应答位，每次通信的数据字节数是没有限制的；在全部数据传送结束后，由主机发送停止信号，结束通信。

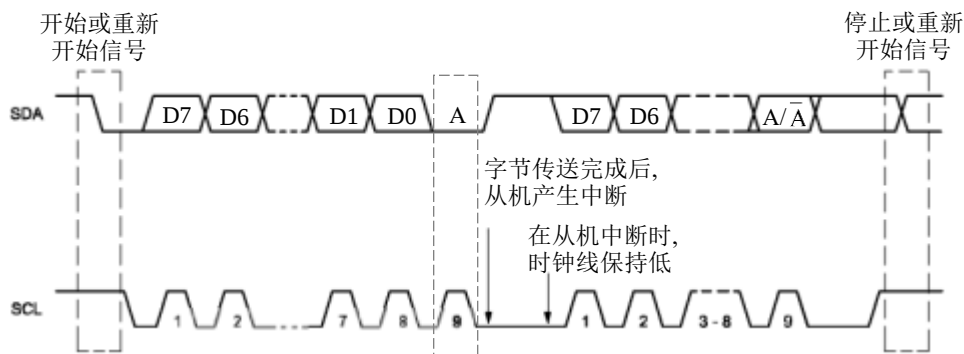


Figure 15-6 IIC 总线的数据传输格式

如 Figure 15-6 所示，时钟线为低电平时数据传输将停止进行。这种情况可以用于当接收器接收到一个字节数据后要要进行一些其它工作而无法立即接收下一个数据时，迫使总线进入等待状态，直到接收器准备好接收新数据时，接收器再释放时钟线使数据传输得以继续正常进行。例如，当接收器接收完主控制器的一个字节数据后，产生中断信号并进行中断处理，中断处理完毕才能接收下一个字节数据，这时接收器在中断处理时将钳住 SCL 为低电平，直到中断处理完毕才释放 SCL。

15.6 IIC 总线寻址约定

IIC 总线系统中挂接的所有外围器件，一般均拥有一个专用的 7 位从器件地址码。由于 7 位从器件地址码，其编码空间最多只有 128 个，后来在原有的 7 位地址码格式基础上，又发展了 10 位地址码格式。10 位地址格式仍然符合总线协议。

“广播呼叫”是个例外，它可以通过将第一个字节的数据全部赋值为 0 来寻址所有器件。广播呼叫用于当主机希望发送相同信息到几个从机时情况。当该地址在使用时，其他器件根据软件配置可能响应应答或忽略。如果器件响应广播呼叫，其操作就像从机接收器模式。

15.7 主机向从机读写 1 个字节数据的过程

如 Figure 15-7 所示，主机要向从机写 1 个字节数据时，主机首先产生 START 信号，然后紧跟着发送一个从机地址，这个地址共有 7 位，紧接着的第 8 位是数据方向位 (R/W)，0 表示主机发送数据 (写)，1 表示主机接收数据 (读)，这时候主机等待从机的应答信号 (A)，当主机收到应答信号时，发送要访问的地址，继续等待从机的应答信号，当主机收到应答信号时，发送 1 个字节的数据，继续等待从机的应答信号，当主机收到应答信号时，产生停止信号，结束传送过程。

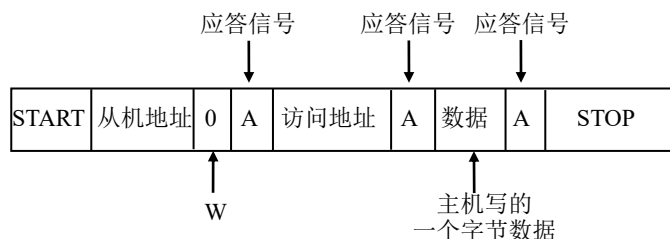


Figure 15-7 主机向从机写数据

如 Figure 15-8 所示，主机要从从机读 1 个字节数据时，主机首先产生 START 信号，然后紧跟着

发送一个从机地址，注意此时该地址的第 8 位为 0，表明是向从机写命令，这时候主机等待从机的应答信号（A），当主机收到应答信号时，发送要访问的地址，继续等待从机的应答信号，当主机收到应答信号后，主机要改变通信模式（主机将由发送变为接收，从机将由接收变为发送）所以主机发送重新开始信号，然后紧跟着发送一个从机地址，注意此时该地址的第 8 位为 1，表明将主机设置成接收模式开始读取数据，这时候主机等待从机的应答信号，当主机收到应答信号时，就可以接收 1 个字节的数据，当接收完成后，主机发送非应答信号，表示不在接收数据，主机进而产生停止信号，结束传送过程。

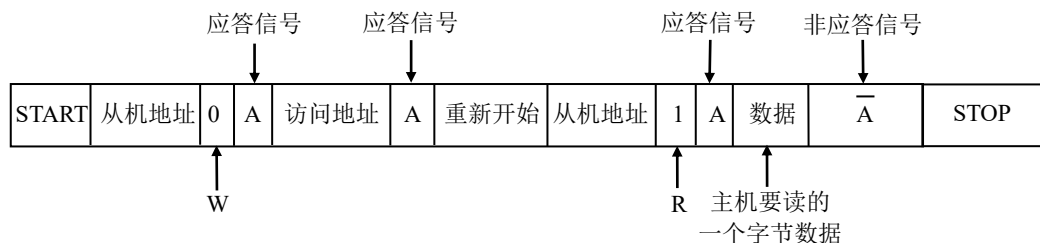


Figure 15-8 主机向从机读写数据 1 个字节数据

15.8 IIC 工作模式

15.8.1 主机发送模式

在主机发送模式下，向从机接收器发送几个数据字节。主机通过 CR[2:0]设置期望时钟速率并向 IICEN 位写 1 使能 IIC 总线，设置 STA 位为 1 进入主机发送模式，只要总线空闲，硬件将测试总线并产生起始信号，成功产生起始信号后，SI 标志位将置位且 IICSTA 的状态码为 08H，之后就是给 IICDAT 载入目标从机地址和数据方向位“写”（SLA+W），SLA+W 开始传输时 SI 位必须清零。

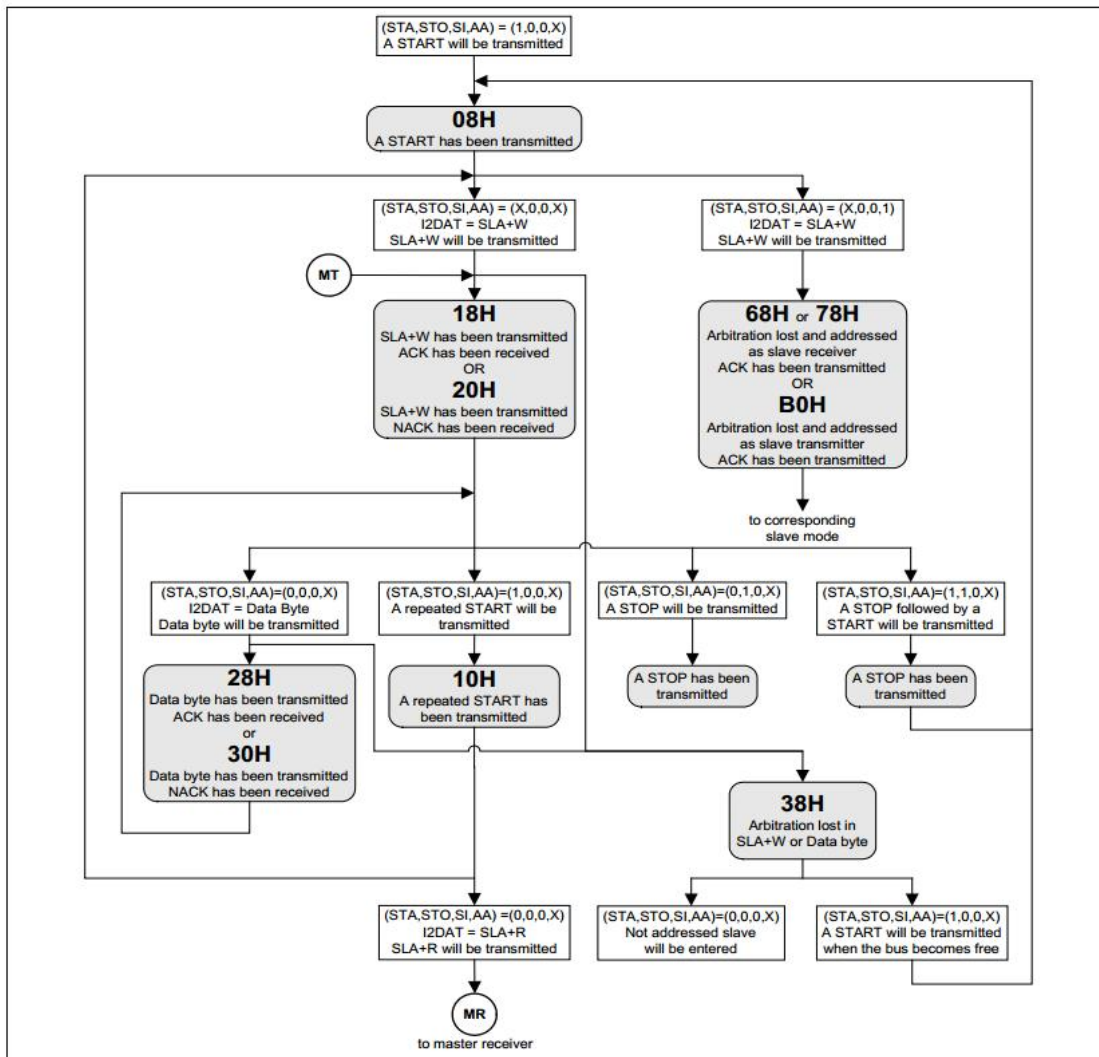


Figure 15-9 主机发送模式流程与状态

15.8.2 主机接收模式

在主机接收模式下，从从机发送器接收几个字节的数据。传输开始与主机发送模式相似，在起始信号之后，IICDAT 应该加载目标从机地址和数据方向位“读”（SLA+R），SLA+R 字节发送后，且返回应答位，重新置位 SI 标志且 IICSTA 读出为 40H，SI 标志应该被清零以便接收从机发送过来的数据，如果 AA 标志位置位，主机接收器将应答从机发送器，如果清零 AA，主机接收器将不会应答从机，并释放从机发送器为不被寻址的从机，然后主机产生停止信号或重复起始信号中止传输或开始另一次传输。

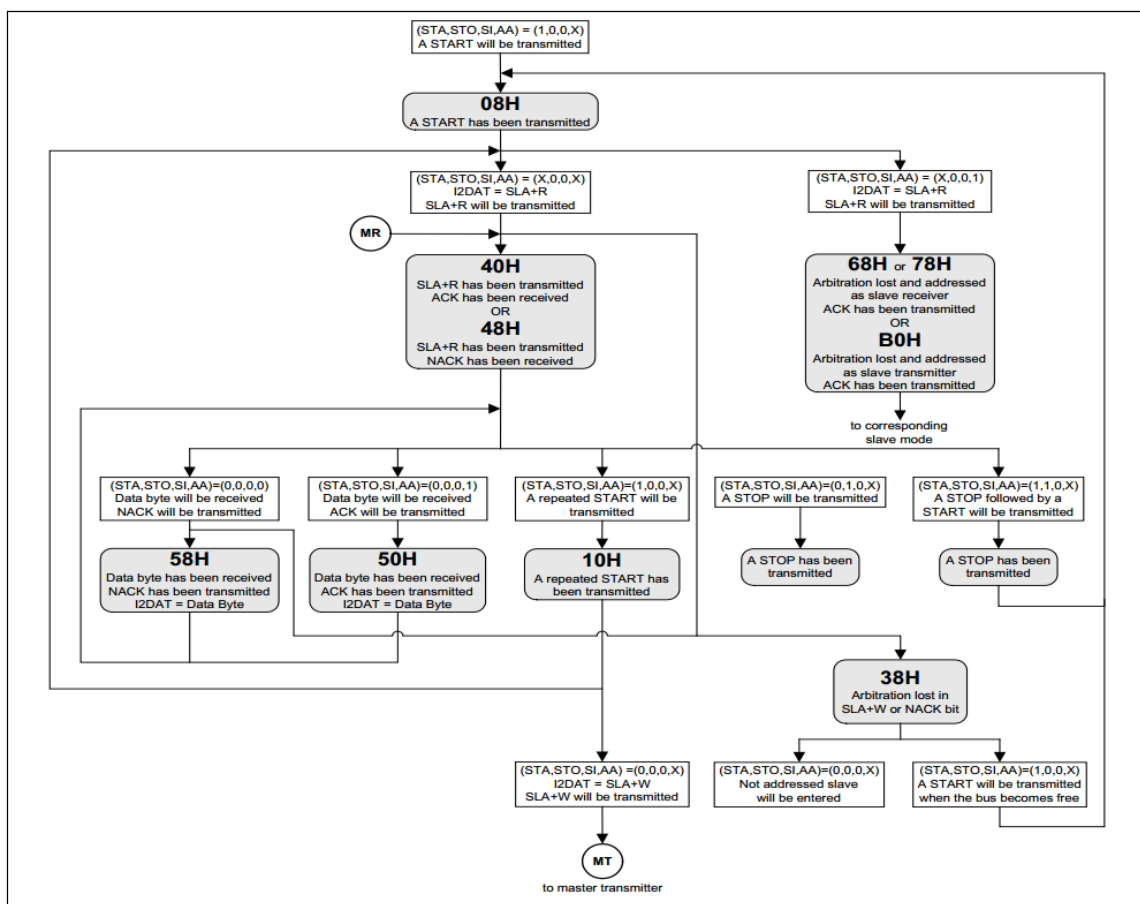


Figure 15-10 主机接收模式流程与状态

15.8.3 从机发送模式

在从机发送模式下，发送几个字节数据到主机接收器。确定 IICADR 和 IICCON 的值之后，IIC 等待自己的地址被寻址“读”（SLA+R）。如果仲裁失败后，也可以进入从机发送模式。

在从机被 SLA+W 寻址后，应该清 SI 标志以便传输数据到主机发送器，通常主机接收器将在从机发送每个字节数据之后返回应答，如果没有接收到应答，如果继续传输将发送全“1”，就成为不被寻址的从机，如果在传输中清了 AA 标志，从机发送最后一个字节数据，下一次传输数据全为“1”，从机成为不被寻址。

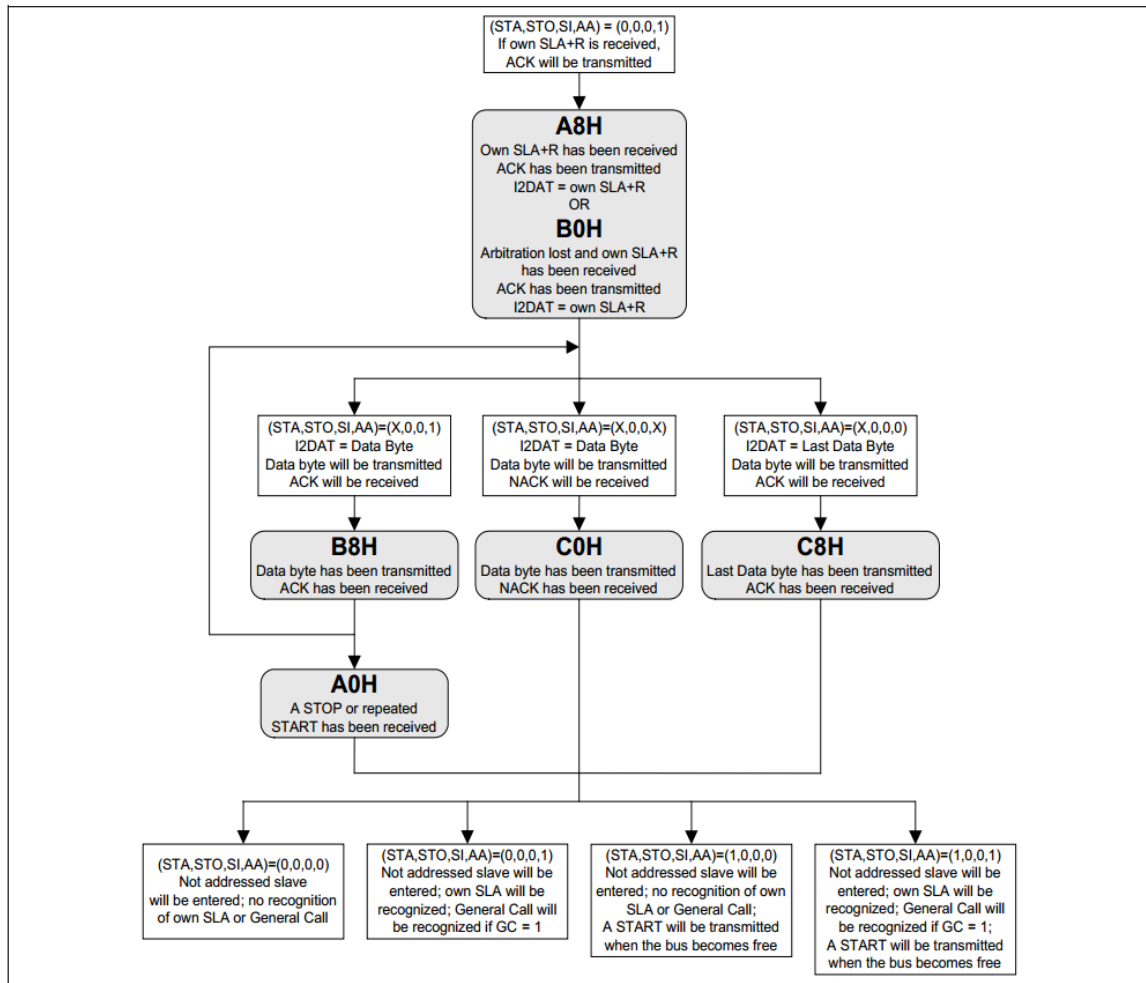


Figure 15-11 从机发送模式流程与状态

15.8.4 从机接收模式

在从机接收模式下，从主机发送器接收几个字节数据。发送开始之前，IICADR 必须装载响应器件的地址，以让主机寻址，AA 位必须设置使能应答自身从机地址或广播呼叫，完成以上初始过程后，IIC 等待自身地址被寻址与数据方向位“写”（SLA+W）或被广播呼叫寻址。如果在仲裁失败时，也可以进入从机接收模式。

在从机被 SLA+W 寻址后，应该清 SI 标志以便接收主机发送过来的数据，传输期间，如果 AA 位为 0，从机将在下一次接收到的数据字节之后返回无应答（non-acknowledge），从机也不被寻址并与主机分离，不能接收 IICDAT 的任何字节，而保持当前接收到的数据字节。

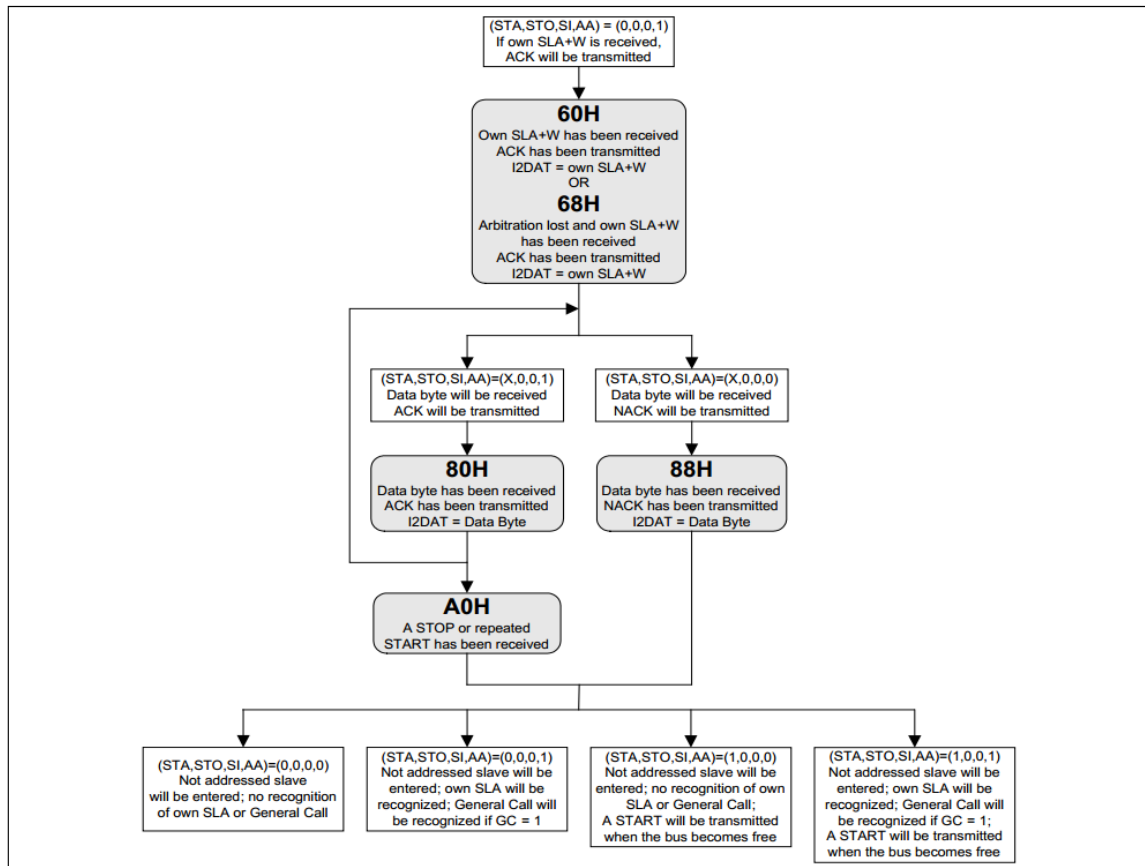


Figure 15-12 从机接收模式流程与状态

15.8.5 广播呼叫

广播呼叫是从机接收模式的一种特殊情况，即从机地址和数据方向位全为 0，被广播呼叫寻址的从机在正常从机接收模式的 IICSTA 里有不同状态码，如果仲裁失败，也可以产生广播呼叫。

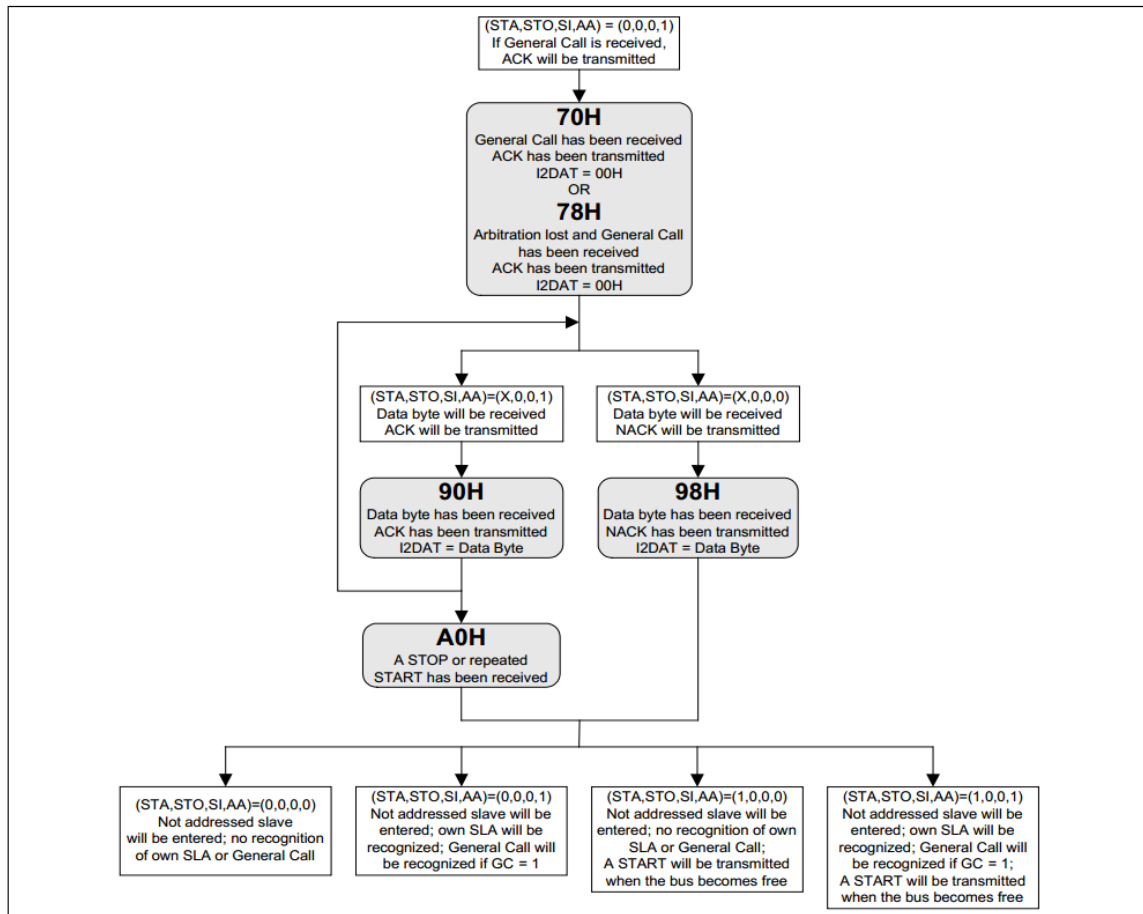


Figure 15-13 广播呼叫模式流程与状态

15.8.6 其他状态

有两个 IICSTA 状态码与 24 个定义状态不一致，即前面提到的 0F8H 和 00H 状态。

第一个状态码 0F8H 表示在每次传输期间没有得到相关信息，同时，SI 标志为 0 且没有 IIC 中断请求。

另一个标志码 00H 意味在传输过程中发生错误，总线错误是由 START 或停止信号暂时出现在一个非法的位置，如地址字节里第 2 位换到第 8 位，或数据字节包括应答位，当出现总线错误时，SI 标志立即置位，当在 IIC 总线上检测到总线错误，工作器件立即切换到不被寻址从机模式，释放 SDA 和 SCL 总，置位 SI 标志，将 00H 载入 IICSTA。要从总线错误恢复，STO 位必须设置为逻辑 1 且 SI 必须清零，然后，STO 由硬件清零且在没有停止信号就释放 IIC 总线。

特例：如果没有成功产生 START 或重复起始信号，IIC 总线被 SDA 的低电平阻挡，如一个从 CPU 时钟件没有位同步，可以通过在 SCL 总线上发送额外时钟脉冲解决这个问题。当 STA 位置位时，IIC 硬件发送额外时钟脉冲，但是由于 SDA 被拉低，不能产生起始信号，当 SDA 总线最终被释放，发送一个普通的 START 条件，进入状态 08H，继续进行串行传输。当 SDA 为低，如果发送重复起始信号，IIC 硬件也执行以上相同的动作。此情况下，在成功发送起始信号后，进入状态 08H，而不是进入 10H。
注：软件不能解决这类总线问题。

15.9 IIC 总线相关寄存器

15.9.1 IIC 控制寄存器 IICCON

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	CR2	IICEN	STA	STO	SI	AA	CR1	CR0

位编号	位符号	说明
7	CR2	IIC 通信时钟选择位 2
6	IICEN	IIC 模块使能位 0: 禁止 IIC 模块 1: 启动 IIC 模块
5	STA	起始位 0: 不发送起始信号 1: 总线空闲时产生起始信号。忙时, 等待停止信号后产生一个起始信号。主机模式下, IIC 准备好发送或接收一个或多个字节时, 置 1 产生一个重复的起始信号
4	STO	停止位 0: 不发送停止信号 1: 主机模式时产生停止信号, 当检测到总线上出现停止信号。IIC 硬件清除 STO 标志。STO 标示的设置也用于将 IIC 设备从错误状态 (IICSTA 为 00H) 恢复, 此条件下, 没有停止信号发送 IIC 总线上。若 STA 和 STO 都置 1, 且在主机模式下设备为原始的, IIC 总线将产生停止信号并立即伴随着起始信号。如果设备为从机模式, 置 STO 恢复到非寻址从机, STO 将会硬件清 0。
3	SI	IIC 串行中断标志位 0: 没有 IIC 串行中断发生 1: 产生 IIC 通信状态码中除 0F8H 之外的状态码时置 1。必须软件清 0
2	AA	应答标志位 0: 回复 NACK (SDA 上为高电平) 1: 回复 ACK (SDA 上为低电平)
1	CR1	IIC 通信时钟选择位 1
0	CR0	IIC 通信时钟选择位 0

CR[2:0] IIC 通信时钟选择位:

CR2	CR1	CR0	F _{osc}				分频系数
			4MHz	8MHz	16 MHz	32MHz	
0	0	0	15.6KHz	31.3KHz	62.5KHz	125KHz	256
0	0	1	17.9KHz	35.7KHz	71.4KHz	142.9KHz	224
0	1	0	20.8KHz	41.7KHz	83.3KHz	166.7KHz	192
0	1	1	25KHz	50KHz	100KHz	200KHz	160
1	0	0	4.2KHz	8.3KHz	16.7KHz	33.3KHz	960
1	0	1	33.3KHz	66.7KHz	133.3KHz	266.7KHz	120
1	1	0	66.7KHz	133.3KHz	266.7KHz	533.3KHz	60
1	1	1	无效位				

15.9.2 IIC 状态寄存器 IICSTA

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R
复位值	1	1	1	1	1	0	0	0
位符号	IICSTA[7:3]					-		

位编号	位符号	说明
7-3	IICSTA[7:3]	IIC 状态码, 共有 26 个可能的状态码, 状态码中除 0F8H 外都可置 SI 标志
2-0	-	保留位

15.9.3 IIC 数据寄存器 IICDAT

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	IICDAT[7:0]							

位编号	位符号	说明
7:0	IICDAT[7:0]	IIC 数据 IICDAT 包含一个字节的将被发送或刚接收到的 IIC 数据。只要 SI 为逻辑 1, IICDAT 中的数据保持不变, 在 IIC 发送接收过程中, 读或写 IICDAT 的结果都是不确定的。 当 IICDAT 的数据被移出, 总线上的数据同步被移入以更新 IICDAT。IICDAT 常显示当前 IIC 总线上的最后字节。因此失去仲裁, 在传输之后的 IICDAT 原始值被改变。

15.9.4 IIC 地址寄存器 IICADR

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	IICADR[7:1]							GC

位编号	位符号	说明
7-1	IICADR[7:1]	从机模式：IIC 设备自身从机地址 主机模式：该数据无影响
0	GC	广播呼叫位 0：广播呼叫常被忽略 1：如果 AA 标志为 1，广播呼叫被识别；如果 AA 为 0，忽略广播呼叫 注：该位只在从机模式有效，主机模式无影响。做从机时，置 AA 标志，在空闲模式下，若总线其它主机寻址地址与本从机地址匹配，则将唤醒本从机。

16 模数转换ADC

16.1 ADC 特性

- 多达 16 个外部通道及 2 个内部通道（包括 GND）的 12/10 位 ADC 检测
- 参考电压可选内部 2V、3V、4V、VDD 及外部 VREF
- 可选择转换数据对齐方向
- 可选择转换数据位数
- ADC 转换完成可中断

16.2 ADC 相关寄存器

16.2.1 ADC 控制寄存器 ADCC0、ADCC1、ADCC2、ADCC3

ADCC0

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	1	1
位符号	ADCEN	ADCST	ADCIF	-	VREFO	VREFS	INREF_S[1:0]	

位编号	位符号	说明
7	ADCEN	ADC 模块电源控制位 0: 关闭 ADC 转换电源 1: 打开 ADC 转换电源 注: 1. ADCEN 置 1 或切换转换通道后, 建议延时 20us 后再启动 ADC 转换; 2. 在掉电模式下, ADCEN 强制为 0。
6	ADCST	ADC 启动控制位 0: 转换结束后, 硬件自动清 0, 在转换过程中, 软件清 0 将终止转换。 1: 启动转换 注: 启动转换时, ADCIF 需要先清 0, ADCIF 位为 1 时, 置 ADCST 不能启动新的转换。
5	ADCIF	ADC 中断标志位 0: 无 ADC 转换中断 1: 转换结束后, 硬件置 1, 可用于中断请求 (必须软件清 0)
4	-	保留位 (读为 0, 写无效)
3	VREFO	VREF 输出使能位 0: VREF 不输出 1: 从引脚 P0.7 输出内部 VREF, 此时需要设置 P0.7 为模拟输入, 而且 VREFS 必须为 0。 注: VREF 输出驱动能力较弱, 仅供测试使用。

2	VREFS	VREF 选择 0, 选内部 VREF 1, 选外部 VREF_H。 (此时 P0.7 只做 ADC 参考电压输入, 且此端口必需设为模拟输入)
1-0	INREF_S	ADC 内部参考电压选择位 00: VDD 01: 内部 4V 10: 内部 3V 11: 内部 2V 注: 1、内部参考电压选择为 2V 时, VDD 电压须高于 2.7V; 内部参考电压选择 3/4V 时, VDD 须高于内部参考电压 0.5V 以上。

ADCC1

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	ICHS[1:0]		-		XCHS[3:0]			

位编号	位符号	说明
7-6	ICHS[1:0]	ADC 内部输入通道选择 00: 禁止内部通道接入 01: 1/4VDD 作为 ADC 输入通道 10: 保留位 11: GND 接入
5-4	-	保留位 (读为 0, 写无效)
3-0	XCHS[3:0]	ADC 外部输入通道选择 XCHS[3:0] = x(x=0...15), 表示当前检测通道为 ANx, 如 XCHS[3:0] = 2, 表示当前检测通道为外部通道 AN2。 注: 外部通道除设置 XCHS[3:0], 还需设置对应管脚的功能为模拟输入。

ADCC2

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	ADCL	ALIGN	ADCTS[2:0]			ADCS[2:0]		

位编号	位符号	说明
7	ADCL	ADC 转换数据长度控制位 0: ADC 转换结果为 12 位数据 1: ADC 转换结果为 10 位数据 (取 12 位数据的高 10 位)
6	ALIGN	ADC 数据对齐方向控制位, 见下表 ADC 转换数据格式说明表
5-3	ADCTS[2:0]	ADC 时钟为 4MHZ 时, 配置此 3bits 为 000; 一次转换需要 22 个 ADC_CLK

		ADC 时钟为 2MHZ&1MHZ 时，配置此 3bits 为 001 或者 010；一次转换需要 19 个 ADC_CLK ADC 时钟为<1MHZ 时，配置此 3bits 为 011 或 100 或 101 或 110 或 111；一次转换需要 15 个 ADC_CLK
2-0	ADCS[2:0]	ADC 时钟选择位 000: $F_{osc}/2$ 001: $F_{osc}/4$ 010: $F_{osc}/8$ 011: $F_{osc}/16$ 100: $F_{osc}/32$ 101: $F_{osc}/64$ 110: $F_{osc}/128$ 111: 保留($F_{osc}/16$)

ADC转换数据格式说明表:

ADCL	ALIGN	ADCRH								ADCRL							
		7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	0	D11	D10	D9	D8	D7	D6	D5	D4	/	/	/	/	D3	D2	D1	D0
0	1	/	/	/	/	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	0	D11	D10	D9	D8	D7	D6	D5	D4	/	/	/	/	/	/	D3	D2
1	1	/	/	/	/	/	/	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2

ADCC3

位编号	7	6	5	4	3	2	1	0
R/W	R	R	R	R/W	R	R	R	R
复位值	0	0	0	0	0	0	0	0
位符号	-			fclken	-			

位编号	位符号	说明
7-5	-	保留位（读为 0，写无效）
4	fclken	内参电压转换频率加速控制信号 fclken=0，默认转换速度 fclken=1，加快转换频率 注：此项是新增项，选择内部参考电压时，若转换频率升高，造成精度变差，可将此信号置 1，使 ADC 转换频率提升，从而减小精度误差
3-0	-	保留位（读为 0，写无效）

16.2.2 ADC 转换结果寄存器 ADCRL、ADCRH

ADCRL

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	ADCRL[7:0]							

ADCRH

位编号	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0
位符号	ADCRH[7:0]							

位编号	位符号	说明
7-0	ADCRH[7:0]	ALIGN = 0 时 ADCRH[7:0]为 ADC 转换的高 8 位，ADCRL[3:0]为 ADC 转换的低 4/2 位
7-0	ADCRL[7:0]	ALIGN = 1 时 ADCRH[3:0]为 ADC 转换的高 4/2 位，ADCRL[7:0]为 ADC 转换的低 8 位

启动 ADC 转换步骤：

- (1) 使能 ADC 模块；
- (2) 选择模拟输入通道、参考电压、转换时钟、转换结果对齐方式等；
- (3) ADCST 置 1 开始 ADC 转换；
- (4) 等待 ADCST = 0 或者 ADCIF = 1，如果 ADC 中断使能，则 ADC 中断将会产生，用户需要软件清零 ADCIF；
- (5) 从 ADCRH/ADCRL 获得转换数据；
- (6) 重复步骤 3-5 开始另一次转换

17 电容触摸按键CTK

HC89F34x1C 内置一个支持 21 个通道的触摸电路，配合官网上提供的触摸库可实现弹簧按键、滑轮、滑条、空气触摸等应用。

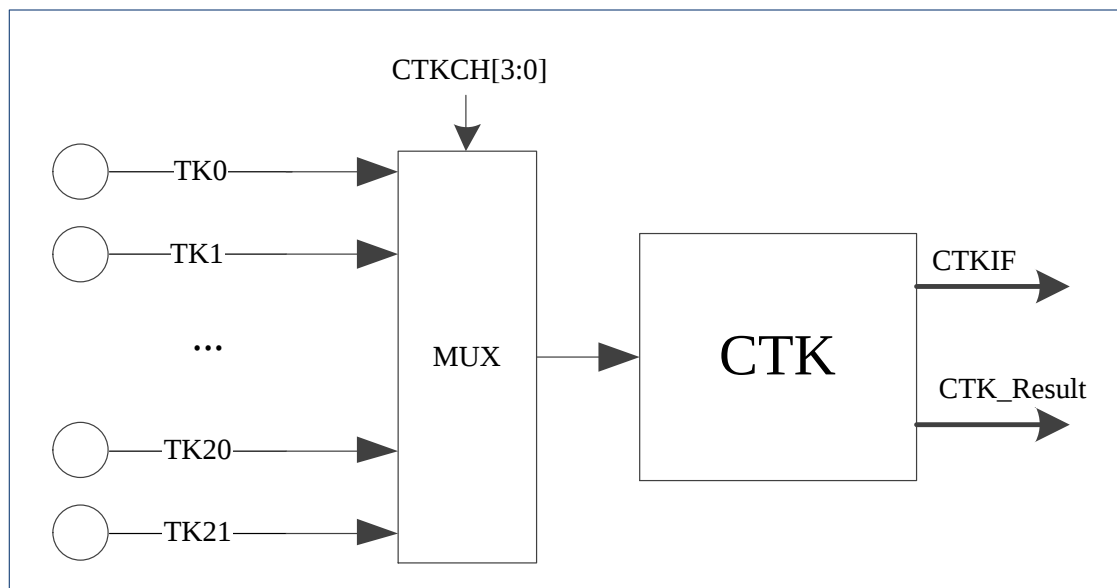


Figure 17-1 CTK 功能框图

18 代码选项OPTION

1. 外部复位使能

0: P2.4 为外部复位引脚（默认），该口作为外部复位引脚时，无法作为普通 I/O 使用

1: P2.4 为普通 IO 引脚

2. 复位后等待时间（WAIT_TS）

0: 8ms（默认）

1: 4ms

2: 1ms

3: 16ms

3. BOR 复位电压选择

0: 1.8V（默认）

1: 2.0V

2: 2.4V

3: 2.6V

4: 3.0V

5: 3.6V

6: 3.9V

7: 4.2V

4. WDT 复位功能使能

0: 使能 WDT 复位功能

1: 禁止 WDT 复位功能

19 指令表

助记符		指令说明	字节	周期
数据传递类指令				
MOV	A, Rn	寄存器传送到累加器	1	1
MOV	A, direct	直接地址传送到累加器	2	1
MOV	A, @Ri	累加器传送到外部 RAM(8 地址)	1	1
MOV	A, #data	立即数传送到累加器	2	1
MOV	Rn, A	累加器传送到寄存器	1	1
MOV	Rn, direct	直接地址传送到寄存器	2	2
MOV	Rn, #data	累加器传送到直接地址	2	1
MOV	direct, Rn	寄存器传送到直接地址	2	1
MOV	direct, direct	直接地址传送到直接地址	3	2
MOV	direct, A	累加器传送到直接地址	2	1
MOV	direct, @Ri	间接 RAM 传送到直接地址	2	2
MOV	direct, #data	立即数传送到直接地址	3	2
MOV	@Ri, A	直接地址传送到直接地址	1	2
MOV	@Ri, direct	直接地址传送到间接 RAM	2	1
MOV	@Ri, #data	立即数传送到间接 RAM	2	2
MOV	DPTR, #data16	16 位常数加载到数据指针	3	1
MOVC	A, @A+DPTR	代码字节传送到累加器	1	2
MOVC	A, @A+PC	代码字节传送到累加器	1	2
MOVX	A, @Ri	外部 RAM(8 地址)传送到累加器	1	2
MOVX	A, @DPTR	外部 RAM(16 地址)传送到累加器	1	2
MOVX	@Ri, A	累加器传送到外部 RAM(8 地址)	1	2
MOVX	@DPTR, A	累加器传送到外部 RAM(16 地址)	1	2
PUSH	direct	直接地址压入堆栈	2	2
POP	direct	直接地址弹出堆栈	2	2
XCH	A,Rn	寄存器和累加器交换	1	1

XCH	A, direct	直接地址和累加器交换	2	1
XCH	A, @Ri	间接 RAM 和累加器交换	1	1
XCHD	A, @Ri	间接 RAM 和累加器交换低 4 位字节	1	1
算术运算类指令				
INC	A	累加器加 1	1	1
INC	Rn	寄存器加 1	1	1
INC	direct	直接地址加 1	2	1
INC	@Ri	间接 RAM 加 1	1	1
INC	DPTR	数据指针加 1	1	2
DEC	A	累加器减 1	1	1
DEC	Rn	寄存器减 1	1	1
DEC	direct	直接地址减 1	2	2
DEC	@Ri	间接 RAM 减 1	1	1
MUL	AB	累加器和 B 寄存器相乘	1	4
DIV	AB	累加器除以 B 寄存器	1	4
DA	A	累加器十进制调整	1	1
ADD	A,Rn	寄存器与累加器求和	1	1
ADD	A,direct	直接地址与累加器求和	2	1
ADD	A,@Ri	间接 RAM 与累加器求和	1	1
ADD	A,#data	立即数与累加器求和	2	1
ADDC	A,Rn	寄存器与累加器求和(带进位)	1	1
ADDC	A,direct	直接地址与累加器求和(带进位)	2	1
ADDC	A,@Ri	间接 RAM 与累加器求和(带进位)	1	1
ADDC	A,#data	立即数与累加器求和(带进位)	2	1
SUBB	A,Rn	累加器减去寄存器(带借位)	1	1
SUBB	A,direct	累加器减去直接地址(带借位)	2	1
SUBB	A,@Ri	累加器减去间接 RAM(带借位)	1	1
SUBB	A,#data	累加器减去立即数(带借位)	2	1
逻辑运算类指令				

ANL	A,Rn	寄存器“与”到累加器	1	1
ANL	A,direct	直接地址“与”到累加器	2	1
ANL	A,@Ri	间接 RAM“与”到累加器	1	1
ANL	A,#data	立即数“与”到累加器	2	1
ANL	direct,A	累加器“与”到直接地址	2	1
ANL	direct, #data	立即数“与”到直接地址	3	2
ORL	A,Rn	寄存器“或”到累加器	1	2
ORL	A,direct	直接地址“或”到累加器	2	1
ORL	A,@Ri	间接 RAM“或”到累加器	1	1
ORL	A,#data	立即数“或”到累加器	2	1
ORL	direct,A	累加器“或”到直接地址	2	1
ORL	direct, #data	立即数“或”到直接地址	3	1
XRL	A,Rn	寄存器“异或”到累加器	1	2
XRL	A,direct	直接地址“异或”到累加器	2	1
XRL	A,@Ri	间接 RAM“异或”到累加器	1	1
XRL	A,#data	立即数“异或”到累加器	2	1
XRL	direct,A	累加器“异或”到直接地址	2	1
XRL	direct, #data	立即数“异或”到直接地址	3	1
CLR	A	累加器清零	1	2
CPL	A	累加器求反	1	1
RL	A	累加器循环左移	1	1
RLC	A	带进位累加器循环左移	1	1
RR	A	累加器循环右移	1	1
RRC	A	带进位累加器循环右移	1	1
SWAP	A	累加器高、低 4 位交换	1	1
控制转移类指令				
JMP	@A+DPTR	相对 DPTR 的无条件间接转移	1	2
JZ	rel	累加器为 0 则转移	2	2
JNZ	rel	累加器为 1 则转移	2	2

CJNE	A,direct,rel	比较直接地址和累加器,不相等转移	3	2
CJNE	A,#data,rel	比较立即数和累加器,不相等转移	3	2
CJNE	Rn,#data,rel	比较寄存器和立即数,不相等转移	2	2
CJNE	@Ri,#data,rel	比较立即数和间接 RAM,不相等转移	3	2
DJNZ	Rn,rel	寄存器减 1,不为 0 则转移	3	2
DJNZ	direct,rel	直接地址减 1,不为 0 则转移	3	2
NOP		空操作,用于短暂延时	1	1
ACALL	add11	绝对调用子程序	2	2
LCALL	add16	长调用子程序	3	2
RET		从子程序返回	1	2
RETI		从中断服务子程序返回	1	2
AJMP	add11	无条件绝对转移	2	2
LJMP	add16	无条件长转移	3	2
SJMP	rel	无条件相对转移	2	2
布尔指令				
CLR	C	清进位位	1	1
CLR	bit	清直接寻址位	2	1
SETB	C	置位进位位	1	1
SETB	bit	置位直接寻址位	2	1
CPL	C	取反进位位	1	1
CPL	bit	取反直接寻址位	2	1
ANL	C,bit	直接寻址位“与”到进位位	2	2
ANL	C, /bit	直接寻址位的反码“与”到进位位	2	2
ORL	C,bit	直接寻址位“或”到进位位	2	2
ORL	C, /bit	直接寻址位的反码“或”到进位位	2	2
MOV	C,bit	直接寻址位传送到进位位	2	1
MOV	bit, C	进位位传送到直接寻址	2	2
JC	rel	如果进位位为 1 则转移	2	2
JNC	rel	如果进位位为 0 则转移	2	2

JB	bit, rel	如果直接寻址位为 1 则转移	3	2
JNB	bit, rel	如果直接寻址位为 0 则转移	3	2
JBC	bit, rel	直接寻址位为 1 则转移并清除该位	2	2

20 电气特性

除非另外说明，以下数据测试条件均为：VDD=5.0V，GND=0V，25°C。

20.1 极限参数

参数	符号	最小值	典型值	最大值	单位
直流供电电压	VDD	-0.3	-	+6.0	V
输入/输出电压	V _I /V _O	GND-0.3	-	VDD+0.3	V
工作环境温度	T _{OTG}	-40	-	+105	°C
存储温度	T _{STG}	-55	-	+125	°C

注：

- （1）流过 VDD 的最大电流值在 5.0V，25°C 下须小于 150mA。
- （2）流过 GND 的最大电流值在 5.0V，25°C 下须小于 200mA。

20.2 DC 特性

参数	符号	条件（VDD=5V）	最小值	典型值	最大值	单位
工作电压	VDD1	FCPU =16MHz 或 44KHz，ADC、CTK 模块关闭	2.0	5.0	5.5	V
	VDD2	FCPU =16MHz 或 44KHz，ADC 模块使能（VREF=2V）、CTK 模块关闭	2.7	5.0	5.5	
	VDD3	FCPU =16MHz 或 44KHz，ADC 模块关闭、CTK 模块使能	2.5	5.0	5.5	
工作电流	I _{OP1}	F _{OSC} =32MHz，F _{CPU} =16MHz，无负载，无浮动输入管脚，执行 NOP 指令，其它模块关闭	-	4.0	-	mA
		F _{OSC} =32MHz，F _{CPU} =8MHz，无负载，无浮动输入管脚，执行 NOP 指令，其它模块关闭	-	3.2	-	
		F _{OSC} =32MHz，F _{CPU} =4MHz，无负载，无浮动输入管脚，执行 NOP 指令，其它模块关闭	-	2.8	-	
		F _{OSC} =32MHz，F _{CPU} =2MHz，无负载，无浮动输入管脚，执行 NOP 指令，其它模块关闭	-	2.6	-	
		F _{OSC} =32MHz，F _{CPU} =1MHz，无负载，无浮动输入管脚，执行 NOP 指令，其它模块关闭	-	2.5	-	
		F _{OSC} =32MHz，F _{CPU} =500KHz，无负载，无浮动输入管脚，执行 NOP 指令，其它模	-	2.4	-	

		块关闭			
		F _{OSC} =16MHz, F _{CPU} =16MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	3.4	-
		F _{OSC} =16MHz, F _{CPU} =8MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	2.5	-
		F _{OSC} =16MHz, F _{CPU} =4MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	2.1	-
		F _{OSC} =16MHz, F _{CPU} =2MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.9	-
		F _{OSC} =16MHz, F _{CPU} =1MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.7	-
		F _{OSC} =16MHz, F _{CPU} =500KHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.6	-
		F _{OSC} =8MHz, F _{CPU} =8MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	2.2	-
		F _{OSC} =8MHz, F _{CPU} =4MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.7	-
		F _{OSC} =8MHz, F _{CPU} =2MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.5	-
		F _{OSC} =8MHz, F _{CPU} =1MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.4	-
		F _{OSC} =8MHz, F _{CPU} =500KHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.3	-
		F _{OSC} =4MHz, F _{CPU} =4MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.5	-
		F _{OSC} =4MHz, F _{CPU} =2MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.3	-
		F _{OSC} =4MHz, F _{CPU} =1MHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.2	-
		F _{OSC} =4MHz, F _{CPU} =500KHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	1.1	-

		动输入管脚, 执行 NOP 指令, 其它模块关闭				
	I _{OP2}	F _{OSC} =44KHz, 无负载, 无浮动输入管脚, 执行 NOP 指令, 其它模块关闭	-	110	-	μA
	I _{IDLE1}	F _{OSC} =32MHz, 进入空闲模式, 无负载, 无浮动输入管脚, 所有模块关闭	-	2.4	-	mA
	I _{IDLE2}	F _{OSC} =16MHz, 进入空闲模式, 无负载, 无浮动输入管脚, 所有模块关闭	-	1.4	-	mA
	I _{IDLE3}	F _{OSC} =8MHz, 进入空闲模式, 无负载, 无浮动输入管脚, 所有模块关闭	-	0.9	-	mA
	I _{IDLE4}	F _{OSC} =4MHz, 进入空闲模式, 无负载, 无浮动输入管脚, 所有模块关闭	-	0.8	-	mA
	I _{IDLE5}	F _{OSC} =44KHz, 进入空闲模式, 无负载, 无浮动输入管脚, 所有模块关闭, 内部高频 RC 时钟关闭	-	85	-	uA
	I _{PD1}	进入掉电模式, 无负载, 无浮动输入管脚, 所有模块关闭, ADC 参考电压选择非 VDD	-	7.0	-	μA
掉电定时中断唤醒电流	I _{PW}	F _{CPU} =16MHz, 关闭 BOR, TIMER3 计数时钟源选择外部低频晶振, 系统进入掉电, TIMER3 定时 1S 产生中断唤醒系统的平均电流	-	12	-	μA
WDT 电流	I _{WDT}	VDD = 5V	-	2.0	-	μA
BOR 电流	I _{BOR}	VDD = 5V	-	8.0	-	μA
CTK 电流	I _{CTK}	VDD = 5V	-	140	-	μA
输入低电压 1	V _{IL1}	I/O 端口非施密特输入	GND	-	0.3*VDD	V
输入高电压 1	V _{IH1}	I/O 端口非施密特输入	0.7*VDD	-	VDD	V
输入低电压 2	V _{IL2}	I/O 端口施密特输入	GND	-	0.2*VDD	V
输入高电压 2	V _{IH2}	I/O 端口施密特输入	0.8*VDD	-	VDD	V
输入漏电流	I _{ILC}	I/O端口输入模式, V _{IN} = VDD 或GND	-1	0	1	μA
输出漏电流	I _{OLC}	I/O端口输出模式, V _{OUT} = VDD 或GND	-1	0	1	μA
灌电流	I _{OL1}	Vout=0.1VDD @DREN=01	-	28	-	mA
拉电流	I _{OH1}	Vout=0.9VDD@DREN=01	-	10	-	
灌电流	I _{OL2}	Vout=0.1VDD @DREN=00	-	70	-	
拉电流	I _{OH2}	Vout=0.9VDD@DREN=00	-	20	-	
上拉电阻	R _{PU}	VIN=GND	-	50	-	kΩ
下拉电阻	R _{PD}	VIN=VDD	-	50	-	
RAM 保持电压	V _{RAM}	-	-	0.7	-	V

20.3 AC 特性

参数	符号	条件	最小值	典型值	最大值	单位
内部 RC32M 启动时间	Tset1	常温, VDD=5V	-	-	5	μs
内部 RC44K 启动时间	Tset2	常温, VDD=5V	-	-	150	μs
外部低频晶振 启动时间	Tset4	常温, VDD=5V	-	2	-	s
频率精度	FIRC1	VDD=2V~5.5V, 25°C	32(1-1%)	32	32(1+1%)	MHz
	FIRC2(注 1)	VDD=5.0V, -40°C ~+85°C	32(1-4.5%)	32	32(1+2%)	MHz
	FIRC3(注 1)	VDD=5.0V, -40°C ~+105°C	32(1-4.5%)	32	32(1+3%)	MHz
	FWRC	-	31	44	58	KHz

注 1: 本值由设计保证, 生产中不做实际测试。

20.4 ADC 特性

参数	符号	条件	最小值	典型值	最大值	单位
供电电压	VAD	-	2.7	5.0	5.5	V
精度	NR	$GND \leq VAIN \leq Vref$	-	10	12	bit
ADC 输入电压	VAIN	-	GND	-	Vref	V
ADC 输入电阻	RAIN	VAIN=5V	2	-	-	MΩ
模拟电压源推荐阻抗	ZAIN	-	-	-	10	kΩ
ADC 转换电流	IAD	ADC 模块打开, VDD=5.0V	-	0.6	1	mA
ADC 输入电流	IADIN	VDD=5.0V	-	-	10	μA
微分非线性误差	DLE	VDD=5.0V, -40°C~+85°C	-2	-	+2	LSB
积分非线性误差 (1MHz 转换频率)	ILE1	VDD=5.0V, Vref =2V, 25°C	-5	-	+2	LSB
		VDD=5.0V, Vref =3V, 25°C	-4	-	+2	
		VDD=5.0V, Vref =4V, 25°C	-3	-	+2	
		VDD=5.0V, Vref =VDD, 25°C	-2	-	+2	
		VDD=5.0V, Vref =外参, 25°C	-2	-	+2	
积分非线性误差 (1MHz 转换频率)	ILE2	VDD=5.0V, Vref =2V, -40°C	-1	-	+3	LSB
		VDD=5.0V, Vref =3V, -40°C	-7	-	+2	
		VDD=5.0V, Vref =4V, -40°C	-4	-	+3	
		VDD=5.0V, Vref =VDD, -40°C	-2	-	+2	
积分非线性误差 (1MHz 转换频率)	ILE3	VDD=5.0V, Vref =2V, +85°C	-12	-	+2	LSB
		VDD=5.0V, Vref =3V, +85°C	-9	-	+2	
		VDD=5.0V, Vref =4V, +85°C	-7	-	+2	
		VDD=5.0V, Vref =VDD, +85°C	-2	-	+3	
满刻度误差	EF	VDD=5.0V	-5	-	+5	LSB
偏移量误差	EZ	VDD=5.0V	-3	-	+5	LSB
总绝对误差	EAD	VDD=5.0V	-5	-	+5	LSB

20.5 Flash 内存特性

参数	符号	条件	最小值	典型值	最大值	单位
读写测试	FN _{ENDUR}	-	100000	-	-	Cycle
数据保存时间	FT _{RET}	T=25°C	-	10	-	year
扇区擦除时间	FT _{ERASE}	1 个扇区（128 字节）	-	5	-	ms
字节写入时间	FT _{PROG}	1 个字节	-	60	-	us
字节读取时间	FT _{READ}	1 个字节	-	50	-	ns
读取耗电流	FI _{DD1}	-	-	3	-	mA
写入耗电流	FI _{DD2}	-	-	3	-	mA
擦除耗电流	FI _{DD3}	-	-	2	-	mA

20.6 BOR 检测电压特性

参数	符号	条件	最小值	典型值	最大值	单位
BOR 设定电压 1	V _{BOR1}	BOR 使能，VDD=2V~5.5V	1.7	1.8	1.9	V
BOR 设定电压 2	V _{BOR2}		1.9	2.0	2.1	V
BOR 设定电压 3	V _{BOR3}		2.3	2.4	2.5	V
BOR 设定电压 4	V _{BOR4}		2.5	2.6	2.7	V
BOR 设定电压 5	V _{BOR5}		2.9	3.0	3.1	V
BOR 设定电压 6	V _{BOR6}		3.5	3.6	3.7	V
BOR 设定电压 7	V _{BOR7}		3.8	3.9	4.0	V
BOR 设定电压 8	V _{BOR8}		4.1	4.2	4.3	V

20.7 系统下电过程功耗

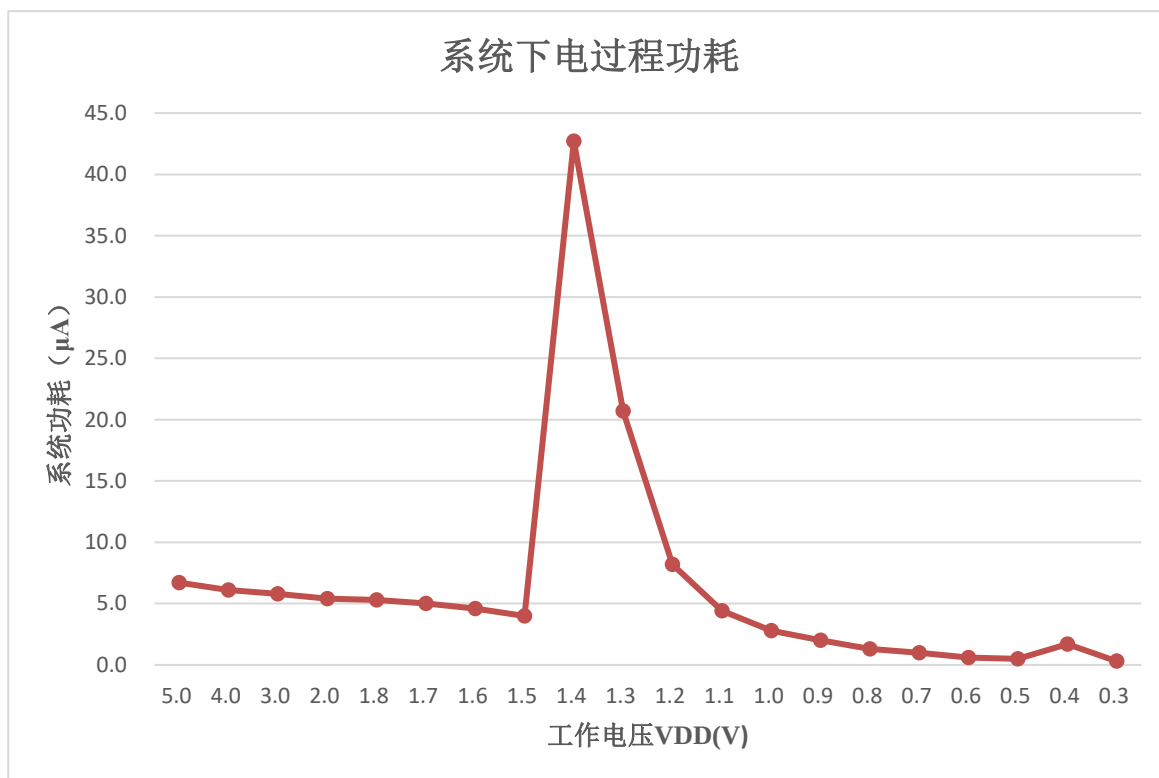


Figure 20-1 系统下电过程功耗

20.8 频率-校准值对应曲线

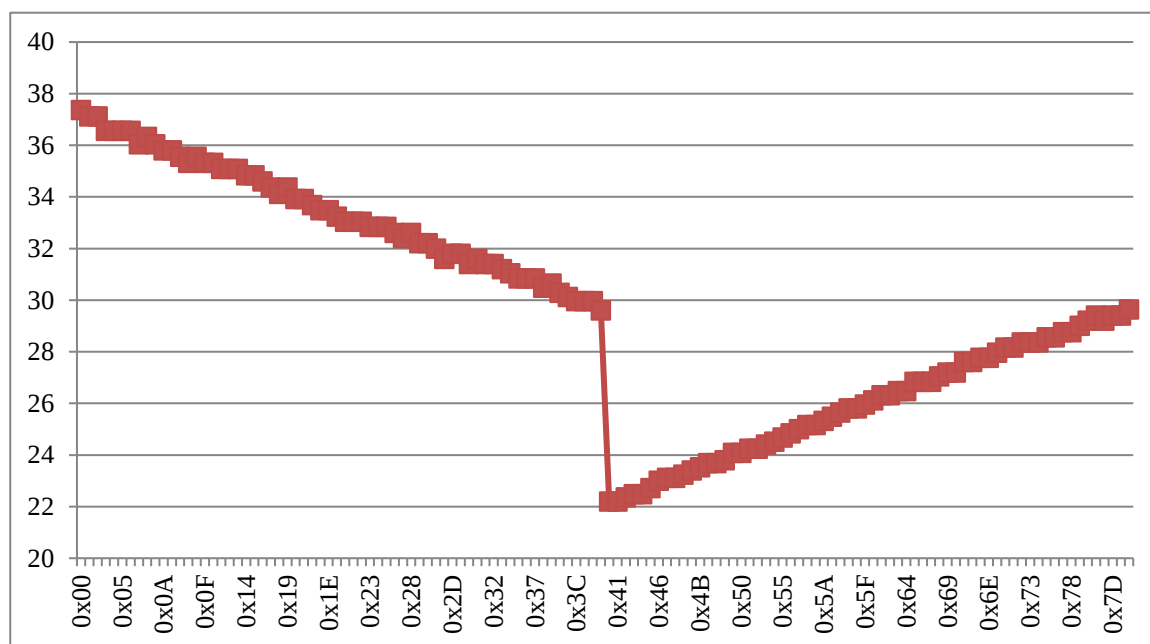


Figure 20-2 频率-校准值对应曲线

20.9 其他电气特性

- 1、ESD (HBM) : CLASS 3A ($\geq 4000V$)
- 2、ESD (MM) : CLASS 2 ($\geq 200V$)
- 3、Latch_up: CLASS I (200mA)
- 4、现有 EFT 测试环境，过 4000V 标准。（VDD 端口加 104 电容，测试跑马灯程序）

21 封装尺寸

21.1 SOP28

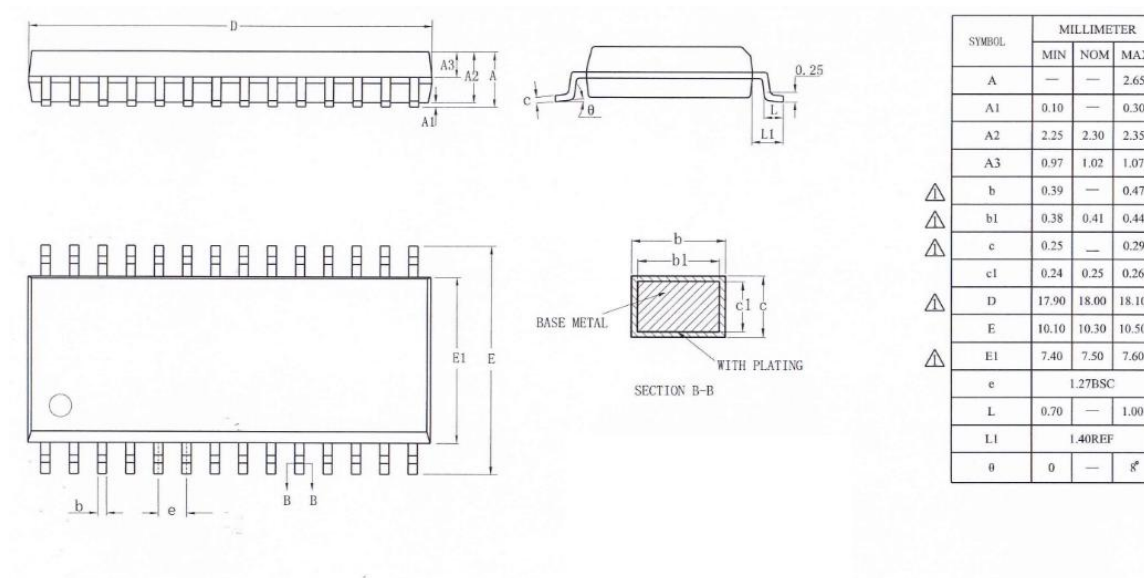


Figure 21-1 SOP28 封装尺寸

21.2 SOP20

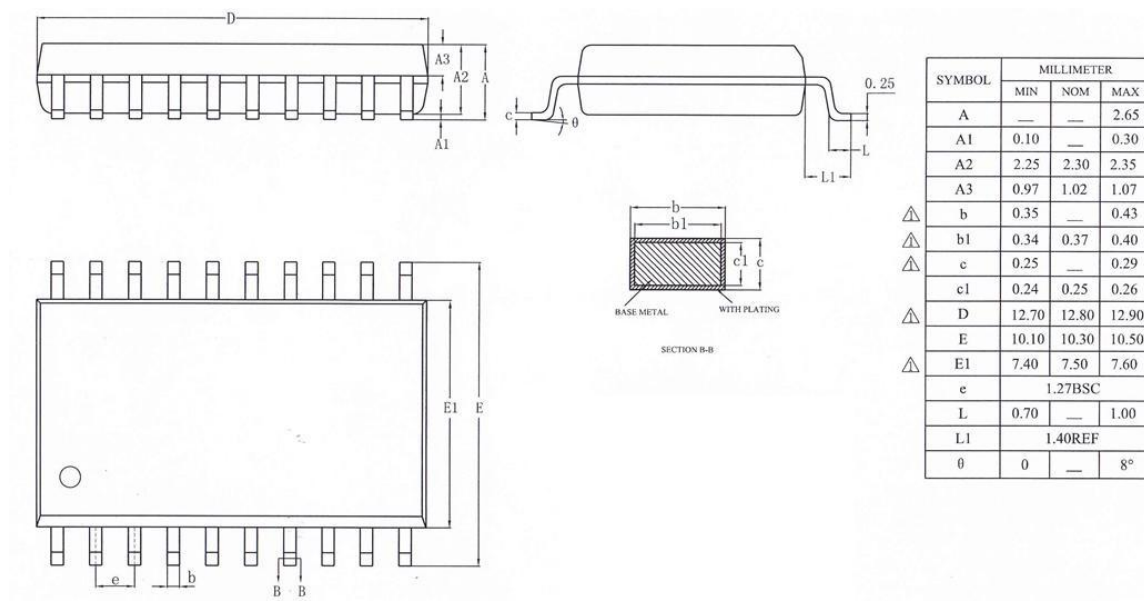


Figure 21-2 SOP20 封装尺寸

21.3 SOP16

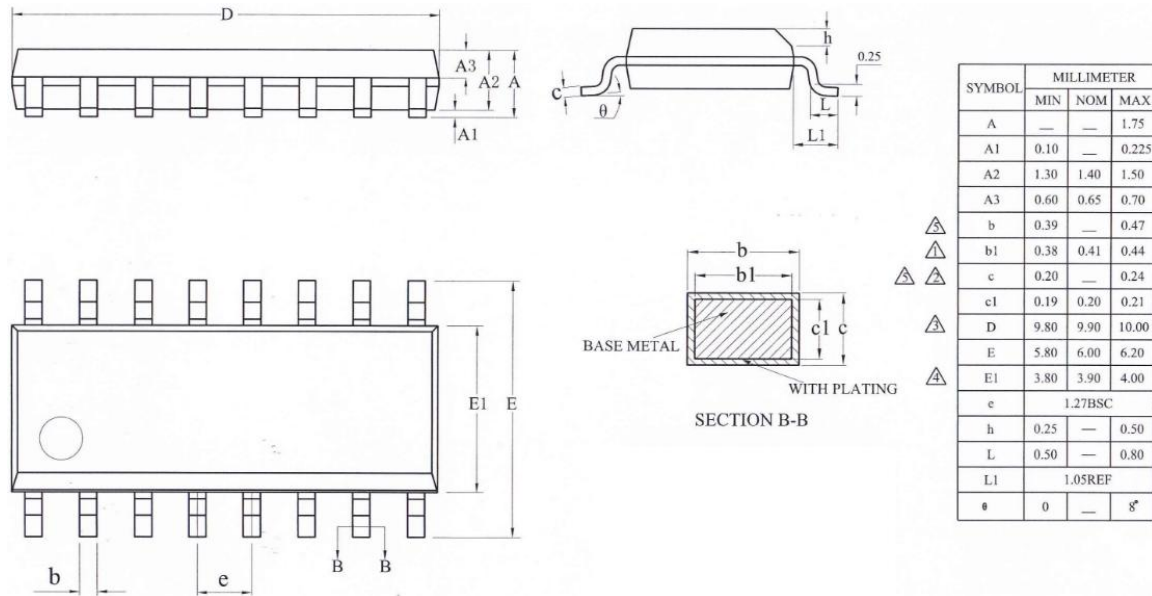


Figure 21-3 SOP16 封装尺寸

22 修改记录

版本	日期	描述
Ver1.00	2024-11-11	第一版
Ver1.01	2025-05-26	1、修改第二复位向量部分错误

HOLYCHIP 公司保留对以下所有产品在可靠性、功能和设计方面的改进作进一步说明的权利。HOLYCHIP 不承担由本手册所涉及的产品或电路的运用和使用所引起的任何责任，HOLYCHIP 的产品不是专门设计来应用于外科植入、生命维持和任何 HOLYCHIP 产品产生的故障会对个体造成伤害甚至死亡的领域。如果将 HOLYCHIP 的产品用于上述领域，即使这些是由 HOLYCHIP 在产品设计和制造上的疏忽引起的，用户应赔偿所有费用、损失、合理的人身伤害或死亡所直接或间接所产生的律师费用，并且用户保证 HOLYCHIP 及其雇员、子公司、分支机构和销售商与上述事宜无关。

芯圣电子

2024 年 11 月

