

简介

本应用笔记主要针对Holychip的HC18P110A0/B0芯片在应用过程中常遇到的一些问题进行讲述及相关使用注意事项说明。

- 本应用笔记适用芯片：HC18P110A0/B0 系列芯片。
- 相关数据手册、工具及技术文档下载网址：<http://www.holychip.cn/>。

目录

1	电源	3
2	时钟	3
3	WDT	3
4	定时器	3
5	ADC	4
6	端口	5
7	中央处理器	5
8	中断	6
9	工具使用	6
10	版本说明	7

1 电源

1. 为保证系统稳定性，建议在芯片 VDD、GND 之间接一个等于或大于 0.1uF 的电容。

2 时钟

1. PORTB7 (OSCI) /PORTB6 (OSCO) 支持高低频晶振，PORTB1 (LOSCI) /PORTB0 (LOSCO) 仅支持低频晶振；当使用外部晶振作为时钟时，应使晶体振荡器离引脚的距离尽可能短，这样有助于晶体振荡器的起振和振荡。
2. 选择芯片配置字注意事项，在系统允许的情况下，尽量选用较低系统时钟频率，有利于降低系统功耗和提升系统电磁兼容性，强干扰情况下，建议开启 WDT 功能。

3 WDT

1. 主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。
看门狗的使能逻辑：看门狗使能 = 看门狗配置字使能 & 看门狗软件使能（WDTENS=1），
不建议在中断程序中对看门狗进行清零，否则无法监控主程序跑飞情况。
2. 因为 WDT 定时器的时钟源与系统主时钟无关，所以，即使系统进入休眠模式，WDT 定时器仍会工作，但在休眠模式下 WDT 只能产生唤醒信号，并不会产生复位信号。在正常工作下，当 WDT 计数溢出时，芯片复位。

4 定时器

1. T1 为 16 位计时器，在溢出中断重新赋值时应先 T1H，后 T1L，避免 T1L 在操作中的进位被覆盖；清空时则应先 T1L 后 T1H，避免 T1L 进位意外进入 T1H 造成清空失败，Timer1 工作于同步计数器模式和同步定时唤醒模式时，不能唤醒 SLEEP 或绿色模式。

2. 在捕捉模式下, CCPx 引脚必须由相应的方向控制器设定为输入方式; 当一个捕捉事件发生后, 硬件自动将 CCPx 的中断标志位 CCPxIF 置 1, 表示产生了一次 CCPx 捕捉中断。CCPxIF 位必须用软件重新清零。当 CCPRx 寄存器中的值还未被程序读取, 而又发生了另一个新的捕捉事件时, 原先的值将被新的值覆盖掉; 在捕捉模式下, Timer1 必须运行在定时器模式或同步计数器模式。

3. 当选择产生特殊事件触发信号时, 如果 ADC 被使能, 则启动一次 ADC 转换 (仅限于 CCP1)。在此模式下 CCPx 模块不会对 CCPx 引脚进行控制; 在比较模式下, CCPx 引脚必须由相应寄存器设定为输出模式, 以便作为比较器的输出端使用; 应该注意的是, 如果对控制寄存器 CCPxCON 进行重新赋值, 将会迫使 CCPx 引脚输出一个默认的低电平, 而这并非是正常的比较输出结果。

4. CCP-PWM 模块用 T1 作为时基时, T1L 必须赋值为 0X00。

5. CCP-PWM 模块时钟源选择 T1 的 Fsys 时, 配置字 OPTION 的时钟模式应选择 4T, 不要选择 2T。否则会出现占空比异常的情况。

6. 若使用定时器计数器功能时, 配置为 1:16、1:32 及以上分频时请先将 PR1CON 寄存器的 PR1EN 置 1, PR1L 寄存器写入 0XFF, 再进行 Timer1 输入时钟预分频比选择。

5 ADC

1. ANSEL 上电初始值为 B' 1111 1111', 即作为模拟输入。无论是否应用到 AD, 均需要在上电后, 对 IO 操作之前按需配置, 否则 IO 口可能无法受控于对应的端口寄存器, 状态将不确定。

2. AN5 为内部 1/4VDD 输入通道, 外部没有输入引脚。可作为电池系统的电池检测器; ADC 所采集数据, 当选择存放格式为左对齐时, ADC 精度只能为 12 位, 高 8 位存放在 ADRESH

寄存器中，低 4 位存放在 ADRESL 寄存器的高 4 位上。当选择存放格式为右对齐时，ADC 精度只能为 10 位，高 2 位存放在 ADRESH 的低 2 位上，低 8 位存放在 ADRESL 上。

3. 使能 ADEN 后（不是使能 ADON），系统必须延迟一定的时间（视外部输入信号而定）等待 ADC 电路稳定；为保证 ADC 转换精度，芯片 VDD 电压应高于所选 ADC 内部参考电压（4V/3V/2V）0.7V 以上。

4. 使用外部参考电压 (ADREF=1) 时，如果 Vref 脚输出或输入高电平会导致功耗偏大。在 sleep 模式下为保证系统的低功耗，请关闭外部参考电压 (ADREF=0)。另外，使用外部参考电压和 VDD 作为参考电压时，对电源稳定性要求较高，需要使用适应的电容过滤噪声，推荐使用内部参考电压。

5. ADC 连续采集时，两次采集之间须延时至少 3 ms。即前一次采集完成，ADON 硬件清零，须延时一段时间，再置一 ADON，开启下一次采集。

6. ADC 采集过程中涉及到采集通道切换时，通道切换延时至少 5 ms。即前一次连续采集完成，进行采集通道切换，须延时一段时间，再开启另一通道的采集。

6 端口

1. PORTB5 端口为开漏输出端口，方向寄存器 TRISB[5] 控制端口输入/输出模式；PORTB5 端口为 OD 端口，可正常输出低电平。无法正常输出高电平，若需输出高电平则需要外接上拉电阻。

7 中央处理器

1. 数据查表：数据表宽度为 8 位，当 PCL 与 W 的加运算有进位时，进位将被舍弃，数据表溢出，将造成查表混乱；故表头尽量放在数据页前端，以免数据表溢出，TABBUF 的值不得大于表长，否则将造成运行混乱。

2. 压栈级数请勿超过 8 级，超过 8 级压栈将导致堆栈溢出，溢出后堆栈指针循环，新的压栈将覆盖原堆栈内容。

8 中断

1. PORTB 电平变化中断中，在清零 RBIF 之前必须执行 PORTB 端口读操作；PORTB 电平变化唤醒，需在 SLEEP 指令后执行 PORTB 端口读操作。
2. 在所有中断中，GIE 都必须处于使能状态。
3. 程序中使能两个以上的中断源时，程序需对发生中断的中断源进行判断，从而执行相应的服务程序；需要软件清空对应的中断标志；RETFIE 指令将自动使能 GIE，请勿在中断服务子程序中用其它指令使能 GIE，以免造成中断响应混乱。

9 工具使用

请参考《HC-PM18_工具用户手册》。

10 版本说明

版本	日期	描述
V1.00	2021/01/12	初版
Ver1.01	2021-09-18	CCP-PWM 使用 T1 时基，T1L 必须清零
Ver1.01	2021-09-18	CCP-PWM 使用 T1 时基时钟源 Fsys，时钟模式必须为 4T
Ver1.01	2021-09-18	两次 ADC 采集之间须延时至少 13 微秒
Ver1.01	2022-06-29	两次 ADC 采集之间须延时至少 200 微秒，使用外部参考电压和 vdd 参考电压需加电容
Ver1.02	2024-01-09	ADC 连续采集以及通道切换延时时间更新

HOLYCHIP 公司保留对以下所有产品在可靠性、功能和设计方面的改进作进一步说明的权利。

HOLYCHIP 不承担由本手册所涉及的产品或电路的运用和使用所引起的任何责任，HOLYCHIP 的产品不是专门设计来应用于外科植入、生命维持和任何 HOLYCHIP 产品产生的故障会对个体造成伤害甚至死亡的领域。如果将 HOLYCHIP 的产品用于上述领域，即使这些是由 HOLYCHIP 在产品设计和制造上的疏忽引起的，用户应赔偿所有费用、损失、合理的人身伤害或死亡所直接或间接所产生的律师费用，并且用户保证 HOLYCHIP 及其雇员、子公司、分支机构和销售商与上述事宜无关。

芯圣电子

2021 年 1 月